

#2  
TIP.  
07/12/03  
Jc971 U.S. PTO  
09/982840  
10/22/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Hiroshi IKEDA et al.

Application No.: Unassigned

Group Art Unit: Unassigned

Filed: October 22, 2001

Examiner:

For: ROUTE SEARCHING METHOD, TIMING ANALYZING METHOD, WAVEFORM ANALYZING METHOD, ELECTRONIC CIRCUIT SIMULATION APPARATUS, AND STORAGE MEDIUM THEREFOR

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

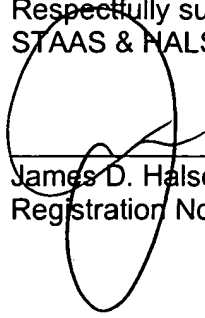
Japanese Patent Application No. 2001-128969

Filed: April 26, 2001

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,  
STAAS & HALSEY LLP

Date: October 22, 2001

By:   
James D. Halsey, Jr.  
Registration No. 22,729

700 11th Street, N.W., Ste. 500  
Washington, D.C. 20001  
(202) 434-1500

PATENT OFFICE  
JAPANESE GOVERNMENT



#2  
T.P.  
07/12/02

This is to certify that the annexed is a true copy of the  
following application as filed with this office.

Date of Application: April 26, 2001

Application Number: Patent Application  
No. 2001-128969

Applicant(s): FUJITSU LIMITED

July 6, 2001

Commissioner,  
Patent Office Kozo Oikawa

Certificate No. 2001-3063749

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

Jc971 U.S. PTO  
09/982840  
10/22/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月26日

出 願 番 号

Application Number:

特願2001-128969

出 願 人

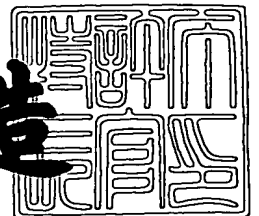
Applicant(s):

富士通株式会社

2001年 7月 6日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3063749

【書類名】 特許願

【整理番号】 0100253

【提出日】 平成13年 4月26日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50  
G06F 9/00

【発明の名称】 経路探索方法、タイミング解析方法、波形解析方法、電子回路シミュレーション装置、及びプログラム

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 池田 弘

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 備前 直美

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100074099

【住所又は居所】 東京都千代田区二番町8番地20 二番町ビル3F

【弁理士】

【氏名又は名称】 大菅 義之

【電話番号】 03-3238-0031

【選任した代理人】

【識別番号】 100067987

【住所又は居所】 神奈川県横浜市鶴見区北寺尾7-25-28-503

【弁理士】

【氏名又は名称】 久木元 彰

【電話番号】 045-573-3683

【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705047

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 経路探索方法、タイミング解析方法、波形解析方法、電子回路シミュレーション装置、及びプログラム

【特許請求の範囲】

【請求項 1】 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路を対象に、該電子回路上の始点のピンから終点のピンに至る信号の経路を探索するために用いられる方法であって、

前記始点のピンから前記終点のピンに至る経路のなかで他と区別すべき経路が満たしている条件を設定し、

該設定した条件を満たすか否かにより区別して、該条件によって区別される経路毎に前記始点のピンから前記終点のピンに至る経路の探索を行う、

ことを特徴とする経路探索方法。

【請求項 2】 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路を対象に、該電子回路上の始点のピンから終点のピンに至る信号の経路を探索するために用いられる方法であって、

前記始点のピンから前記終点のピンに至る経路のなかで合流するピンが同じ 2 つ以上の経路が存在していた場合に、該 2 つ以上の経路のなかの 1 つを選択するうえで該 2 つ以上の経路間で満たすべき条件を設定し、

前記設定した条件を満たす 2 つ以上の経路はそのなかの 1 つだけを選択して残しつつ、前記始点のピンから前記終点のピンに至る経路の探索を行う、

ことを特徴とする経路探索方法。

【請求項 3】 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路を対象に、該電子回路上の始点のピンから終点のピンに至る信号の経路を探索するために用いられる方法であって、

前記始点のピンから前記終点のピンに至る経路のなかで合流するピンが同じ 2 つ以上の経路が存在していた場合に、該 2 つ以上の経路を 1 つに合成するうえで該 2 つ以上の経路間で満たすべき条件を設定し、

前記設定した条件を満たす 2 つ以上の経路は 1 つに合成しつつ、前記始点のピンから前記終点のピンに至る経路の探索を行う、

ことを特徴とする経路探索方法。

【請求項 4】 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路を対象に、該電子回路上の始点のピンから終点のピンに至る信号の経路を探索するために用いられる方法であって、

前記始点のピンから前記終点のピンに至る経路のなかで合流するピンが同じ 2 つ以上の経路が存在していた場合に、該 2 つ以上の経路を 1 つに合成するうえで該 2 つ以上の経路間で満たすべき条件を設定し、

前記始点のピンから 1 つずつ先のピンに進めながら、各ピン毎に、前記設定した条件を満たす 2 つ以上の経路が合流するか否か確認し、

該確認によって、前記設定した条件を満たす 2 つ以上の経路が合流することが判明した場合に、該 2 つ以上の経路のうちの 1 つを選択して残しつつ、前記始点のピンから前記終点のピンに至る経路の探索を行う、

ことを特徴とする経路探索方法。

【請求項 5】 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路の動作検証用のタイミング解析を行うために用いられる方法であって、

予め設定された第 1 の条件を満たすか否かにより区別しつつ、前記電子回路上でデータ信号が伝搬するデータ経路を探索して前記タイミング解析に用いるデータ経路を抽出し、

予め設定された第 2 の条件を満たすか否かに応じて、前記電子回路上でクロック信号が伝搬するクロック経路のなかで合流するピンが同じ 2 つ以上のクロック経路から 1 つを選択して残しつつ、該クロック信号が伝搬するクロック経路を探索して前記タイミング解析に用いるクロック経路を抽出し、

前記抽出したデータ経路、及びクロック経路のそれぞれの組み合わせ毎に前記タイミング解析を行う、

ことを特徴とするタイミング解析方法。

【請求項 6】 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路の動作検証用の波形解析を行うために用いられる方法であって

予め設定された条件を満たすか否かに応じて、前記電子回路上でクロック信号が伝搬するクロック経路のなかで合流するピンが同じ2つ以上のクロック経路の合成、及び該クロック信号の波形解析を行うための解析用情報のピン毎の作成を行いつつ、該クロック信号が伝搬するクロック経路を探索して前記波形解析に用いるクロック経路を抽出し、

前記抽出したクロック経路で作成した前記解析用情報を用いて、該クロック経路を伝搬するクロック信号のパルス幅を確認する波形解析を行う、  
ことを特徴とする波形解析方法。

【請求項7】 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路の動作検証用のシミュレーションを行う装置であって、

予め設定された第1の条件を満たすか否かにより区別しつつ、前記電子回路上でデータ信号が伝搬するデータ経路を探索することで抽出されたデータ経路を示す始点の経路データを取得する始点の経路データ取得手段と、

予め設定された第2の条件を満たすか否かに応じて、前記電子回路上でクロック信号が伝搬するクロック経路のなかで合流するピンが同じ2つ以上のクロック経路から1つを選択して残しつつ、該クロック信号が伝搬するクロック経路を探索することで抽出されたクロック経路を示す終点の経路データを取得する終点の経路データ取得手段と、

前記始点、及び終点の経路データ取得手段がそれぞれ取得した前記始点、及び終点の経路データを用いて、前記動作検証用のタイミング解析を行うシミュレーション手段と、

を具備することを特徴とする電子回路シミュレーション装置。

【請求項8】 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路を対象に、該電子回路上の始点のピンから終点のピンに至る信号の経路を探索する経路探索装置で実行されるプログラムであって、

前記始点のピンから前記終点のピンに至る経路のなかで他と区別すべき経路が満たしている条件を設定する機能と、

前記設定する機能により設定した条件を満たすか否かにより区別して、該条件によって区別される経路毎に前記始点のピンから前記終点のピンに至る経路の探



索を行う機能と、

を実現させるプログラム。

【請求項 9】 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路を対象に、該電子回路上の始点のピンから終点のピンに至る信号の経路を探索する経路探索装置で実行されるプログラムであって、

前記始点のピンから前記終点のピンに至る経路のなかで合流するピンが同じ 2 つ以上の経路が存在していた場合に、該 2 つ以上の経路のなかの 1 つを選択するうえで該 2 つ以上の経路間で満たすべき条件を設定する機能と、

前記設定する機能により設定した条件を満たす 2 つ以上の経路はそのなかの 1 つだけを選択して残しつつ、前記始点のピンから前記終点のピンに至る経路の探索を行う機能と、

を実現させるプログラム。

【請求項 10】 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路を対象に、該電子回路上の始点のピンから終点のピンに至る信号の経路を探索する経路探索装置で実行されるプログラムであって、

前記始点のピンから前記終点のピンに至る経路のなかで合流するピンが同じ 2 つ以上の経路が存在していた場合に、該 2 つ以上の経路を 1 つに合成するうえで該 2 つ以上の経路間で満たすべき条件を設定する機能と、

前記設定する機能により設定した条件を満たす 2 つ以上の経路は 1 つに合成しつつ、前記始点のピンから前記終点のピンに至る経路の探索を行う機能と、

を実現させるプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、予め登録されセルを組み合わせて設計された電子回路の動作検証用のシミュレーション（タイミング解析や波形解析など）を行うための技術に関する。

【0002】

【従来の技術】

最近では、プリント配線板（PCB）や集積回路などの電子回路はより短期間に、より低コストに開発することが非常に強く求められている。このようなことから、その開発を支援するCAD（Computer Aided Design）技術の重要性も非常に増しつつある。

## 【0003】

エレクトロニクス系のCADでは、深い知識が無くとも設計が行えるように、標準化、モデル化が重視されている。電子回路の機能的、或いは論理的な単位となる素子、或いは部品などは、例えばNANDやNORなどの基本ゲートやフリップフロップ（以降、FFと略記する）、シフト・レジスタなどから、CPUやメモリなどは、基本素子（セル）としてライブラリに登録させている。このことから、論理設計は、基本的に、ライブラリに登録されたセルのなかで必要なセルを選択し、その選択したセル同士を接続させることで行われる。セル同士の接続は、それらがそれぞれ持つピンとピンを結ぶことで行われる。

## 【0004】

論理設計の結果はネットリスト（論理回路データ）に変換される。そのネットリストはライブラリに登録されたセルの相互接続として記述されている。そのネットリストを利用して、レイアウト設計やシミュレーションが行われる。

## 【0005】

そのシミュレーションで行われる解析として、信号が伝搬していく時間差によって不具合（誤動作など）が生じるか否か確認するためのタイミング解析がある。そのタイミング解析としては、FFなどにおいて、データを取り込むタイミングが遅すぎるか否か確認するセットアップタイムチェックや、そのデータを取り込むタイミングが早すぎるか否か確認するホールドタイムチェックなどが行われる。それ以外には、伝搬してきたクロック信号の波形が動作を保証する形を保っているか否か確認するパルス幅チェックなどが波形解析として行われる。

## 【0006】

図37は、上記タイミング解析を説明するための図である。同図（a）はその対象となる回路例、同図（b）はその動作を示すタイミングチャートである。ここでは、各セル毎に異なった遅延時間を持たせる割り当て遅延モデルが採用され

ているとの前提で説明する。周知のように、それ以外には、遅延時間に幅を持たせた不確定遅延モデル（最大－最小遅延モデル）がある。

## 【 0 0 0 7 】

図 3 7 ( a ) に示す回路において、F F 1、2 はセルに対応し、それらが有する C K、D T、及び Q 端子はそれぞれセルが有するピンに対応する。丸で示すピン 3 は、クロック信号を入力する、或いは生成したクロック信号を出力するピン（クロックソース）である。F F 1 の C K 端子と接続された線が、クロックソース 3 と F F 2 の C K 端子を結ぶ線と合流する点もピンとして扱われる。T<sub>cs</sub> はクロックソース 3 から出力されたクロック信号が F F 1 の C K 端子に入力するのに要する遅延時間、T<sub>ct</sub> はクロックソース 3 から出力されたクロック信号が F F 2 の C K 端子に入力するのに要する遅延時間、T<sub>d</sub> は F F 1 の C K 端子に入力したクロック信号の立ち上がり（ライズ（R i z e）エッジ）から、その立ち上がりによって変化する F F 1 の Q 端子の出力信号（データ信号）が F F 2 の D T 端子に入力するのに要する遅延時間である。

## 【 0 0 0 8 】

図 3 7 ( b ) において、“C L O C K” では上記クロックソース 3 から出力されるクロック信号を示している。“F F 1, C K” では F F 1 の C K 端子に入力されるクロック信号、“F F 2, D T” では F F 2 の D T 端子に入力されるデータ信号、“F F 2, C K” では F F 2 の C K 端子に入力されるクロック信号をそれぞれ示している。

## 【 0 0 0 9 】

クロック信号によって動作する F F 1、2 間のデータ信号のやりとりは、クロック信号に同期させる必要がある。データ信号のやりとりができない、或いはやりとりするクロック信号のサイクルがずれるといったことは回避させなければならない。そのためには、F F 2 では、C K 端子に入力するクロック信号が立ち上がるタイミングに対し、D T 端子に入力するデータ信号が変化するタイミングが早すぎることなく、且つ遅すぎることもないようにしなければならない。それらの差が許容範囲内でなければならない。セットアップタイムチェック（オーバーディレイチェック）は、そのデータ信号が変化するタイミングが遅すぎるか否か

確認するために行われ、他方のホールドタイムチェック（レーシングチェック）は、そのデータ信号が変化するタイミングが早すぎるか否か確認するために行われる。

## 【 0 0 1 0 】

図 3 7 ( b ) 中の  $T_{\text{setup}}$ 、及び  $T_{\text{hold}}$  は、それぞれ、ある程度の余裕を持ってその確認を行うために設定された時間である。図 3 7 ( b ) 中の式は、それぞれ、 $T_{\text{cs}} + T_{\text{d}} - T_{\text{ct}} + T_{\text{setup}} \leq \tau$  ( $\tau$  はクロック信号の周期を基に、セットアップタイムチェック用に設定された時間) はセットアップタイムチェックの結果が OK となる関係を示し、 $T_{\text{cs}} + T_{\text{d}} - T_{\text{ct}} + T_{\text{hold}} \geq 0$  はホールドタイムチェックの結果が OK となる関係を示している。図 3 7 ( b ) 中の  $T_{\text{s}}$  は FF 1、2 間におけるクロック信号のスキュー（時間のずれ）を示している。

## 【 0 0 1 1 】

## 【発明が解決しようとする課題】

上記タイミング解析に用いる経路の探索は、解析の内容や伝搬する信号の種類別に行われる。データ信号が伝搬する経路（データ経路）では、従来、始点のピンから終点のピンに至る信号の経路のなかから、信号の伝搬に要する遅延時間が最大（或いは最小）となる経路を単に抽出するといったように、経路全体での遅延時間に単に注目して経路の探索を行っていた。しかし、ライブラリに登録されたセルのなかには、状況に応じて信号を出力するもの（例えばセレクタ）も存在する。このため、そのような探索では、場合によってはタイミング解析に用いるべきでない経路を抽出してしまうという問題点があった。それにより、タイミング解析は必ずしも高精度に行えなかった。

## 【 0 0 1 2 】

一方、クロック信号が伝搬する経路（クロック経路）の検索についても、従来はデータ信号が伝搬する経路の探索と同様に行っていた。しかし、セットアップタイムチェックやホールドタイムチェックでは、例えばクロック信号を分周する分周器が回路に用いられることもあって、遅延時間の差が最大（或いは最小）となるクロック経路とデータ経路の組み合わせが必ずしもタイミング的に最悪とはならない。このため、チェック結果が最悪となるクロック経路を必ずしも抽出す

ることができないという問題点があった。それにより、タイミング解析の精度の低下を招いていた。これは波形解析においても同様である。

#### 【0013】

このようなことから、タイミング解析などを高精度に行うには、クロック経路は全て考慮する必要があると云える。しかし、現在の回路設計では、高集積化のために、クロック信号が分岐するピンやそれが合流するピンが数多く存在するのが普通となっている。そのような分岐合流によって、当然のことながら、経路は指数関数的に増大してその数は膨大となる。このため、全てのクロック経路を対象にしてタイミング解析などを行うことは、処理のために必要なメモリ容量や処理時間などの面から現実的でないと云える。従って、クロック経路を全て考慮する場合には、処理のために必要なメモリ容量や処理時間の増大を抑える必要があると考えられる。

#### 【0014】

本発明は、設計された電子回路の動作検証用のシミュレーションを常に高精度に行うための技術を提供することを目的とする。

また、本発明は、処理のために必要なメモリ容量や処理時間の増大を抑えつつ、設計された電子回路の動作検証用のシミュレーションを常に高精度に行うための技術を提供することを目的とする。

#### 【0015】

##### 【課題を解決するための手段】

図1は、本発明による電子回路シミュレーション装置の原理構成図である。その図1を参照して、本発明による電子回路シミュレーション装置11の構成、及びその動作を説明する。

#### 【0016】

経路探索装置12は、設計された電子回路を対象に、信号が伝搬する経路の探索を行い、その動作検証用のシミュレーションを行うために用いる経路を抽出する。シミュレーション手段13は、そのシミュレーションとして、タイミング解析や波形解析などを行い、その結果を出力する。

#### 【0017】

上記経路探索装置 1 2 は、クロック信号が伝搬するクロック経路を対象にタイミング解析用の探索を行うクロック経路探索手段 1 4、データ信号が伝搬するデータ経路を対象にタイミング解析用の探索を行うデータ経路探索手段 1 5、及びクロック経路を対象に波形解析（パルス幅チェック）用の探索を行うパルス幅チェック用経路探索手段 1 6 を具備する。それにより、各経路探索手段 1 4 ～ 1 6 による探索結果をタイミング解析手段 1 3 に送る。なお、経路探索装置 1 2 は、各経路探索手段 1 4 ～ 1 6 の全てを必ずしも具備する必要はない。

## 【 0 0 1 8 】

図 2 は、本発明のプログラムの原理構成図である。上記経路探索装置 1 2 が実行するプログラム 2 1 の構成、及びそのプログラム 2 1 の実行時に参照される各種データを表したものである。

## 【 0 0 1 9 】

そのプログラム 2 1 は、クロック経路探索手段 1 4 を実現させるためのクロック経路探索ルーチン 2 2、データ経路探索手段 1 5 を実現させるためのデータ経路探索ルーチン 2 3、及びパルス幅チェック用経路探索手段 1 6 を実現させるためのパルス幅チェック用経路探索ルーチン 2 4 を具備している。それにより、各経路探索手段 1 4 ～ 1 6 は、ロードされてハードディスク装置に搭載のハードディスク等に格納されているプログラム 2 1 を経路探索装置 1 2 が実行することで実現される。

## 【 0 0 2 0 】

プログラム 2 1 は、ライブラリ DB 1、ネットリスト DB 2、配線長データベース DB 3 を参照する。ライブラリ DB 1 は、論理設計上の基本素子であるセルを登録したデータベースであり、各セルの動作や特性（遅延時間を含む）などを示す各種データも格納されている。ネットリスト DB 2 には、ライブラリ DB 1 に登録されたセルの相互接続関係を示すデータが格納されている。配線長データベース DB 3 にはセル間を結ぶ配線の長さなどのデータが格納されている。

## 【 0 0 2 1 】

設計された電子回路は、それらデータベース DB 1 ～ 3 によって表される。このことから、各ルーチン 2 2 ～ 2 4 は、それらによって表される電子回路を対象

に経路探索を行うようになっている。

#### 【 0 0 2 2 】

各ルーチン 2 2 ～ 2 4 は、それぞれ、1 つ以上の条件から構成された条件群 2 5 ～ 2 7 を参照して経路探索を行う。各条件群 2 5 ～ 2 7 を構成する条件は、それぞれ、対象とする経路の種類、及びその経路を探索する目的などを考慮して設定された、合流するピンが同じ複数の経路を 1 つにまとめるうえでその複数の経路間で成立しているべき関係、或いは状況を定義したものである。その条件は、プログラム 2 1 内に予め設定（ここでは電子回路に応じた自動設定を含む）しておいても良いが、他のプログラムから与えられるものであっても良い。ユーザが適宜、設定できるようにしても良い。

#### 【 0 0 2 3 】

上記条件群 2 6 には、例えば始点のピンから終点のピンに至るデータ経路のなかで他と区別すべき経路が満たしている 1 つの条件、或いは複数の条件の組み合わせが設定されている。それにより、データ経路探索ルーチン 2 3 による経路探索は、始点のピンから 1 つずつ先のピンに進めながら、各ピン毎に、直前に位置しているピンを表すデータ、及び経路識別用の経路識別コードを少なくとも作成していくことで行うようになっている。その経路識別コードの値は、少なくとも、条件を満たしたことが判明した後には既存でない値とさせることで、条件群 2 6 を構成する条件のなかで満たしている条件の種類、その数、或いはその組み合わせなどによる経路の区別を可能とさせている。

#### 【 0 0 2 4 】

データ経路探索ルーチン 2 3 は、そのような経路探索をデータ経路探索手段 1 5 に行わせる。それにより、全ての経路を考慮しつつ、満たす条件によって区別される経路の種類別に経路を抽出することが可能となる。言い換えれば異なる条件を満たす経路毎に区別して、経路を抽出することが可能となる。その結果、シミュレーションのために抽出すべき経路を確実に抽出することが可能となる。

#### 【 0 0 2 5 】

一方、上記条件群 2 5、及び 2 6 には、共に、例えば合流するピンが同じ 2 つ以上の経路が存在していた場合に、その 2 つ以上の経路を 1 つにまとめる（合成

する)うでそれらの間で満たすべき1つの条件、或いは複数の条件の組み合わせが設定されている。それにより、各経路探索ルーチン22、及び24による経路探索は、始点のピンから1つずつ先のピンに進めながら、各ピン毎に、1つにまとめるべき条件を満たす2つ以上の経路が合流するか否か確認し、そのような条件を満たす2つ以上の経路が合流していた場合に、それらのうちの1つを選択して残しつつ(或いはそれらを合成しつつ)行うようになっている。

## 【0026】

各経路探索ルーチン22、及び24は、共に、そのような経路探索を各経路探索手段14、及び16にそれぞれ行わせる。それにより、全ての経路を考慮しつつ、シミュレーションで考慮する必要のない経路を経路探索の段階で排除させている。

## 【0027】

シミュレーション手段13は、各経路探索手段14～16による経路探索の結果を用いて、タイミング解析や波形解析などのためのシミュレーションを行う。タイミング解析は経路探索手段14、15による経路探索の結果を用いて行い、波形解析(パルス幅チェック)は経路探索手段16による経路探索の結果を用いて行う。電子回路シミュレーション装置11は、それらの結果を表示装置やプリンタ、或いはLAN等で結ばれた外部装置などに出力する。

## 【0028】

上述した各経路探索手段14～16による経路探索では、何れも、シミュレーションで考慮する必要が考えられる経路を排除することなく、抽出する経路の数を最小限に抑えられる。その結果、それら経路探索結果のうちの少なくとも1つを用いて行うシミュレーションは常に高精度に行えるだけでなく、その処理のために要するメモリ容量の低減や処理時間の短縮も実現されることになる。

## 【0029】

## 【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態につき詳細に説明する。

図3は、本実施の形態による電子回路シミュレーション装置(以降、シミュレーション装置と略記する)を搭載したCAD装置の構成図である。



## 【0030】

そのCAD装置は、例えばコンピュータにCAD装置として動作させるためのプログラムをインストールすることで実現させたものである。そのCAD装置は、図3に示すように、CPU31、メモリ32、例えばマウスやキーボードである入力装置33、例えば表示装置である出力装置34、例えばハードディスク装置である外部記憶装置35、可搬記録媒体SMとして、例えばCD-ROM、DVD-ROM、光磁気ディスク、或いはフロッピーディスクを駆動する媒体駆動装置36、LAN等のネットワークと信号のやりとりを行うネットワーク接続装置37が、バス38によって相互に接続されて構成されている。

## 【0031】

上記外部記憶装置35に搭載された記憶媒体（例えばハードディスク）には上記プログラムが記憶されている。それ以外には、電子回路の設計に用いるライブラリ（データベース）が記憶されている。レイアウト設計後には、ライブラリに登録されたセルの相互接続を記述したネットリストの他に、ピン間の配線長を格納した配線長データベースが記憶される。ピン間の経路については経路と区別するためにバスと呼ぶことにする。

## 【0032】

図4は、セルとピンの関係を説明する図である。その図4において、丸はピンを示し、矢印が付いた線はピン間のバスを示している。セルとして、3つのインバータと、2つのフリップフロップ（FF）が示されている。以降、1つ以上のセルを組み合わせて構成された回路についてはモジュールと呼ぶことにする。

## 【0033】

図4に示すように、セル内にもバスは存在し、ピンはセル以外にも存在する。セル以外に存在しているピンは、モジュールへの信号の入力用、或いはモジュールからの信号の出力用に指定されたものである。

## 【0034】

バスを流れる信号は、素子を動作させるためのクロック信号と、その素子に与えられるデータ信号と、に区別することができる。このことから、クロック信号が流れるバスはクロックバス、データ信号が伝搬するバスはデータバスとそれぞれ

れ呼ぶことにする。2つのFFで構成された回路を例にとって、その回路でクロックパス、及びデータパスにそれぞれ対応している部分を図5に示す。

## 【0035】

現在、設計される回路では、経路が複雑に分岐合流を繰り返しているのが普通となっている。このため、全ての経路を抽出してタイミング解析や波形解析を行うことは処理時間やメモリ容量などの面から現実的でない。本実施の形態では、以下のような経路探索を行い、全ての経路のなかで考慮する必要のない経路を経路探索の段階で排除することにより、高い精度を維持させつつ、処理時間の短縮や処理に要するメモリ容量の低減を実現させている。

## 【0036】

本実施の形態では、ネットリストにセル相互の接続関係が記述された電子回路上で3種類の経路探索を行うようになっている。以降、それら経路探索の方法について、図6～図19に示す説明図を参照しながら詳細に説明する。

## 【0037】

まず、データ信号が伝搬する経路（データ経路）を対象にした経路探索について説明する。

図6は、電子回路上でデータパスによって接続されたピン間の接続関係を示すグラフである。理解を容易とするために、図6に示すグラフを対象に経路探索（データパスのトレース）を行う場合を例にとって、その経路探索方法について詳細に説明する。

## 【0038】

図6において、a～jが記入された丸はピンを表し、その間の線分はデータパスを表している。信号は、左から右に向かって流れることを前提としている。従って、始点とするピンはピンaであり、そのピンaから至る終点となるピンはピンjである。

## 【0039】

データパスからなる経路（データ経路）では、その経路上に、連動して動作しない素子（例えばセレクタ）などが存在していることがある。そのような素子が存在する経路は他の経路と区別する必要がある。このことから、経路探索を開始

する前に、他と区別すべき経路の満たす経路条件を設定するようにしている。その設定は、ユーザが行っても良いが、自動的に行うようにしても良い。ここでは、便宜的に、以下の2つが設定されていることにする。

【0040】

経路条件1) ピンb、ピンgの順に通る経路

経路条件2) ピンdを通る経路

経路条件中で指定されたピンには、例えばその旨を示すフラグを立てる。経路条件1、及び2が設定された場合には、ピンb、g、及びdにそれぞれフラグが立てられることになる。図7では、それらピンb、g、及びdは太線で示してある。

【0041】

経路探索は、始点であるピンaから、データパスを1つずつ、先に進めていくことで行う。データパスを1つ進めた先に他のピンが存在していれば、探索上の進行を管理するために、イベントを新たに作成し、そのイベントの内容を示す情報（イベント情報）をそのピンに対応付けて保存する。始点であるピンaには、その前に他のピンが存在しないことから、経路探索を開始する時点でイベントを作成しその情報を保存している。

【0042】

図6に示すグラフには、信号が分岐するピンとしてピンa、c～eが存在し、信号が合流するピンとしてピンg～jが存在する。これは、複数の経路が同じピンを通るということを意味する。このようなことから、同じピンを通る経路でもその区別が行えるようにするために、イベントを作成している。

【0043】

図8は、図6に示すグラフにおいて、データパスを1つ先に進めたときに作成しているイベントを説明する図である。図8(a)において、吹き出し内に表記されたA～Cは、それぞれ、それが付加されたピンa～cに作成したイベントを表している。以降は、吹き出し内に表記された記号はそのイベント自体を表すイベント名と呼ぶことにする。

【0044】

図8(a)に示すように、ピンaからデータパスを1つ先に進めたことにより、ピンa～cにイベントを作成している。そのイベント情報としては、図8(b)に示すように、その前段に発生したイベントを示すデータ（ここではイベント名）、及び経路識別コードをイベント毎に保存するようにしている。前段に発生したイベント名は、経路を逆に遡ることができるようにするために保存している。経路識別コードは、ここでは経路が満たす経路条件で区別して経路を抽出するために保存している。その経路識別コードの値は、フラグを持つピンの1つ先のピンに進めた際に、既存でない値に変更する。

## 【0045】

ピンaに対応付けられたイベントAでは、前段のイベントが存在していないことから、前段のイベントとしては、その旨を示すデータが保存されている。経路識別コードとしては、予め定めた初期値（ここでは0）が保存されている。ピンb、及びcにそれぞれ対応付けられたイベントB、及びCでは、前段のイベント名として、Aが保存されている。経路識別コードとしては、この時点ではフラグを持つピンの先にまで進んでいないために、イベントAと同じ0が保存されている。

## 【0046】

その状態から更にデータパスを1つ先に進めると、図9に示すように、ピンd、e、及びfでイベントを作成する。ピンdは、経路条件2で指定されたピンbの先に位置していることから、そのピンdに対応付けられたイベントDでは、経路識別コードとして、それまでに存在していない値の1を保存している。他の新たに作成したイベントE、及びFの経路識別コードの値は0のままである。

## 【0047】

図9に示す状態から更にデータパスを1つ先に進めると、図10に示すように、ピンg、hでイベントを作成する。ピンjは終点となるピンであるため、ここではイベントを作成していない。

## 【0048】

ピンgは、ピンd、eからデータパスで1つ先に位置している。このため、ピンgでは、2つのイベントG1、G2を作成している。そのピンgの直前に位置

するピンdは、フラグを持つ経路条件1で指定されたピンであり、そこではイベントDが作成されている。このため、図10(b)に示すように、イベントDを前段のイベントとするイベントG1では、経路識別コードの値はそれまでにない値の2となっている。

【0049】

ピンhは、ピンe、fからデータパスで1つ先に位置している。しかし、それらピンe、fにはフラグは付加されておらず、それらで作成されたイベントE、Fの経路識別コードは共に0である。このため、ピンhでは、それらのうちから一つを選択することで、1つのイベントHだけを作成している。ここでは、前段のイベントとしてイベントFを選択している。イベントG2、Hでは経路識別コードは0のままである。

【0050】

図10に示す状態からデータパスを最後まで、即ち終点であるピンjまで進めると、図11に示すように、ピンi、jでイベントを作成することになる。

ピンiは、ピンg、hからデータパスで1つ先に位置している。ピンgは、2つのイベントG1、G2が作成されている、フラグを持つピンである。ピンhで作成したのはイベントHの1つである。これらのことから、ピンiでは、3つのイベントI1～3を作成している。ピンgはフラグを持つピンであることを示すために、前段のイベントをイベントG1とするイベントI1では、経路識別コードの値として、この時点ではそれまでにない値の3を保存させている。前段のイベントをイベントG2とするイベントI2では、経路識別コードの値として、この時点ではそれまでにない値の4を保存させている。

【0051】

終点であるピンjは、ピンd、iからデータパスで1つ先に位置している。ピンdは、フラグを持つ、1つのイベントDが作成されたピンである。ピンiには、3つのイベントI1～3が作成されている。これらのことから、ピンjでは、4つのイベントJ1～4を作成している。前段のイベントをイベントDとするイベントJ1では、経路識別コードの値として、それまでにない値の5を保存させている。それ以外のイベントJ2～4では、経路識別コードの値は前段のイベン

トのそれと同じである。

【 0 0 5 2 】

ピン j でイベントを作成することで、イベントの作成は終了する。その後は、そのピン j で作成したイベント毎に、経路を特定する。イベント J 1 ～ 4 から特定される経路は以下ようになる。

【 0 0 5 3 】

J 1 : a → b → d → j (経路 1)

J 2 : a → b → d → g → i → j (経路 2)

J 3 : a → c → e → g → i → j (経路 3)

J 4 : a → c → f → h → i → j (経路 4)

上記経路条件 1、2 を設定して、図 6 に示すグラフを対象に経路探索を行った場合、4 つの経路が抽出される。しかし、図 6 に示すグラフに存在する経路は 5 つである。このことから明らかなように、経路条件で指定されたピンにフラグを持たせ、経路識別コードを使用してイベントを作成していくことにより、抽出する経路を減らせることができる。その経路は、満たす経路条件の違いによって区別して減らしているため、探索によって抽出すべき経路を抽出しないといったことを確実に回避することができる。このことから、タイミング解析の精度もより向上することになる。

【 0 0 5 4 】

イベント J 1 ～ 4 から特定される経路 1 ～ 4 については、予め設定された経路条件 1、2 のどれを満たしているかを調べる。それにより、経路 1 は経路条件 2、経路 2 は経路条件 1、2 の両方を満たし、経路 3、4 は経路条件 1、2 の何れも満たしていないことが判明する。このため、経路 3、4 はそのうちの一方だけを代表させる。そのようにして、ピン a からピン j に至る経路のなかから、満たしている経路条件が互いに異なる 3 つの経路を抽出する。

【 0 0 5 5 】

本実施の形態では、上記経路 3、4 のなかで代表させる経路の選択や、信号が合流するピンでのイベントの選択は、予め設定した選択規則に従って行っている。その選択規則は採用した遅延モデルによって異なるが、各パス毎に異なった遅

延時間を割り当てた割り当て遅延モデル、及び各セルの遅延時間に幅を持たせた不確定遅延モデル（最大－最小遅延モデル）では、経路の遅延時間が最大、或いは最小の経路を選択するようにしている。

## 【 0 0 5 6 】

そのような選択を行うために、各イベントには、そのイベントが発生するまでの遅延時間を持たせている。イベントに持たせる遅延時間は、例えばデータバスを1つ先に進める度に、そのデータバスの遅延時間を直前のイベントが持つ遅延時間に加算して得られるそれまでの全遅延時間である。データバスを含むバスの遅延時間は、例えばライブラリ、或いは配線長データベースを参照することで取得することができる。

## 【 0 0 5 7 】

なお、本実施の形態では、経路識別コードの値は、フラグを持つピンの1つ先に位置するピンでそれまでに存在しない値に変更しているが、経路条件を満たしたか否かに応じて、経路識別コードの値を変更するようにしても良い。何れの方法で経路識別コードの値を変更しても、経路条件を満たした経路の経路識別コードの値は他の経路と異なった値とすることができる。

## 【 0 0 5 8 】

次にクロック信号が伝搬する経路（クロック経路）を対象にした経路探索について説明する。

例えばデータ信号の送り側のFF、及びそれを受ける側のFFに、それぞれ同じクロックソースからクロック信号が供給される場合、クロックソースから出力されたクロック信号が送り側のFFに届くのに要する遅延時間と、それが受け側のFFに届くのに要する遅延時間と、の差が動作に大きく影響する。クロック信号が伝搬する経路を対象にした経路探索では、このことに着目している。先ず、その方法の原理について、図12～図14に示す説明図を参照して詳細に説明する。

## 【 0 0 5 9 】

図12に示すピンSはクロックソースであり、ピンTは送り側のFFのCK端子（クロック信号を入力する端子）に対応するピンである。クロックソースであ

るピンSからピンTに至る経路は、ピンAで分岐し、ピンBで合流している。図12中のa、bは、ピンAとピンBを結ぶクロックパスである。

【0060】

クロックパスa、bにより、ピンSからピンTに至る経路は2つ存在していることになる。その2つの経路間の遅延時間の差は、クロックパスa、b間における遅延時間の差と一致する。

【0061】

今、クロックパスaの遅延時間のほうがクロックパスbのそれよりも大きいと仮定して、ピンSからピンTに至る経路のどこかに、クロック信号を受け側のFFに分岐させるピンが存在していることを考える。タイミング解析としては、セットアップタイムチェックに着目する。そのピンについては、ここでは分岐ピンと呼ぶことにする。クロックパスa、bの遅延時間については、それぞれ遅延(a)、遅延(b)と表記する。

【0062】

スキュー(図37参照)は、同じクロック信号が送り側のFF、受け側のFFに届くのに要する遅延時間の差である。セットアップタイムチェックでは、そのスキューが大きいほど厳しくなる。

【0063】

上記分岐ピンがピンSとピンA間にある場合、遅延(a) > 遅延(b)より、送り側のFFに至る経路はクロックパスaを通る経路のほうがスキューが大きくなる。その分岐ピンがピンBとピンT間にある場合には、送り側のFFに至る経路はクロックパスa、bの何れを通る経路であってもスキューは変わらない。これらのことから明らかなように、クロック信号が伝搬するクロックパスが異なる区間(ここではピンAとピンB間)外に受け側のFFへの分岐ピンがあれば、クロックソース(ここではピンS)から送り側のFFに至る経路は遅延時間が最大のものであったときにスキューは最大(最悪)となる。

【0064】

次に、クロック信号が伝搬するクロックパスが異なる区間内に分岐ピンがある場合について考える。ここでは、図13に示すように、受け側のFFと接続され



ているピンCがピンAとピンB間に存在していることとする。図13中のa～cは、それぞれ、ピンAとピンBを結ぶクロックパス、ピンAとピンCを結ぶクロックパス、ピンCとピンBを結ぶクロックパスである。各クロックパスa～cの遅延時間は、その符号を用いて表すことにする。

## 【0065】

クロック信号が送り側のFFに伝搬していく経路は、ここでもピンAとピンB間で2つ存在する。分岐ピンとしては、ピンA、及びCの2つが考えられる。ピンAを分岐ピンとしたときのスキューを $skew(a)$ 、ピンCを分岐ピンとしたときのスキューを $skew(c)$ と表記する。

## 【0066】

ピンA-Bの経路の遅延時間がピンA-C-Bの経路のそれより大きいということは、 $a > b + c$ の関係があることを意味する。このとき、 $skew(A)$ 、 $skew(C)$ は、それぞれ

$$skew(A) = a - b + k \quad (k \text{ は経路によらない定数}) \quad \dots (1)$$

$$skew(C) = c + k$$

となる。従って、 $a > b + c$ より、 $a - b > c$ の関係があることから、 $skew(A) > skew(C)$ となる。

## 【0067】

一方、ピンA-Bの経路での遅延時間がピンA-C-Bの経路のそれより小さい場合には、 $a < b + c$ の関係があることから、上記と同様にして、 $skew(A) < skew(C)$ の関係が導かれる。

## 【0068】

これらのことから明らかなように、遅延時間が大きい経路上に分岐ピンが存在していたときにスキューは大きくなる。よって、送り側のFFへの経路については、遅延時間が最大の経路のみを考えれば良いことになる。同様にして受け側のFFへの経路については、遅延時間が最小の経路を考えれば良いことになる。タイミング解析としてホールドタイムチェックに着目しているときには、逆に、送り側のFFへの経路については遅延時間が最小の経路、受け側のFFへの経路については遅延時間が最大の経路をそれぞれ考えれば良いことになる。

## 【0069】

例えば図14に示すように、受け側のFFへの経路が複数、存在している場合がある。その図14において、a～dは、それぞれ、ピン間のクロックパスとその遅延時間を表している。

## 【0070】

図14に示すような場合にも、ピンC、Dから受け側のFFに至る経路を別々に考えれば、セットアップタイムチェックでは、クロックソースであるピンSから送り側のFFに至る経路のなかで遅延時間が最大の経路上に分岐ピンが存在しているときにスキューは最悪のものとなる。

## 【0071】

送り側のFFに至る経路のうち遅延時間が最大のものに複数の分岐ピンが存在している場合にも、各分岐ピンから受け側のFFに至る経路を別々に考えれば、受け側のFFに至る経路のなかで遅延時間が最小のものにスキューが最悪となる。これらのことから、スキューが最悪となるのは、結局、送り側のFFに至る経路のなかで遅延時間が最大となっている経路上に、受け側のFFに至る経路のなかで遅延時間が最小のものの分岐ピンが存在しているケースであることが分かる。ホールドタイムチェックを考慮しているのであれば、その逆である。

## 【0072】

タイミング解析では、基本的に、上述したような経路の組み合わせのときに結果が最悪となる。このことから、終点となるピンが同じ経路が複数、存在しているときには、複数の経路のなかでタイミング解析による結果が最悪となる経路を代表させている。全ての経路を考慮しつつ、1つにまとめられる複数の経路は1つにまとめている。それにより、高い精度を維持させつつ、タイミング解析で考慮すべき経路の数の低減を図っている。本実施の形態では、精度をより向上させるために、以下のようなことも考慮して経路の数の低減を図っている。以下、そのことについて具体的に説明する。

## 【0073】

不確定遅延モデル（最大－最小遅延モデル）では、周知のように、パスの遅延時間に幅を持たせている。遅延時間の最大、最小に違いがある場合（実際には殆

どである)、式(1)は以下のようなになる。セットアップタイムチェックを想定して説明する。

【0074】

$$\text{skew}(A) = a - b(\min) + k$$

ここで  $b(\min)$  は、クロックパス  $b$  の最小の遅延時間であり、最大の遅延時間は式(1)のままとしている。以降も同様に、最小の遅延時間には“(min)”を付加し、最大の遅延時間にはシンボルを付加しないことにする。

【0075】

図13において、ピンA-Bを通る経路での最大の遅延時間がピンA-C-Bを通る経路のそれより大きい場合、 $a > b + c$ より、 $a - b > c$ となる。このため、 $a - b(\min) > a - b > c$ となり、 $\text{skew}(A) > \text{skew}(C)$ がここでも成立する。

【0076】

一方、ピンA-Bを通る経路での最大の遅延時間がピンA-C-Bを通る経路のそれより小さい場合には、 $a < b + c$ より、 $a - b < c$ となる。しかし、 $a - b(\min) > a - b$ であるため、 $a - b(\min) < c$ は必ず成立するとは限らない。よって、 $\text{skew}(A) < \text{skew}(C)$ も必ずしも成立しない。例えば  $a = 10$ 、 $b = 10$ 、 $c = 1$ 、 $b(\min) = 8$ であれば、 $\text{skew}(A) < \text{skew}(C)$ は成立しない。

【0077】

しかし、 $b(\min) + c(\min) > a$ が成立したとすると、 $a - b(\min) < c(\min) < c$ も成立する。よって、 $\text{skew}(A) < \text{skew}(C)$ も成立する。このため、ピンA-C-Bを通る経路のみを考えれば良いということになる。

【0078】

このように、 $b(\min) + c(\min) > a$ が成立するときには、ピンA-C-Bを通る経路だけを残せば良く(ピンA-Bを通る経路はそれに吸収)、それが成立しないときには、ピンA-C-Bを通る経路、ピンA-Bを通る経路の両方を残すべきということになる。

## 【0079】

始点となるクロックソースは1つであるため、ピンに複数のクロック信号が合流するのであれば、それが分岐するピンは必ず存在する。このことから、例えば2つのクロック信号が1つのピンに合流する場合、それが分岐するピンを求め、パスの最大遅延時間を加算して求めた経路の最大遅延時間が大きいほうの経路ではクロック信号が分岐するピンから合流するピンまでのパスの最小遅延時間を加算してその区間の最小遅延時間を求め、その求めた最小遅延時間が、経路の最大遅延時間が小さいほうの経路におけるその区間の最大遅延時間以上か否かに応じて、2つの経路をまとめれば良いことになる。

## 【0080】

ところで、 $b(\min) + c(\min) > a$ が成立したときには、上述したように、 $a - b(\min) < c$ も成立する。このことから、分岐するピンから合流するピンまでの経路の最小遅延時間を求めるのではなく、その分岐するピンから合流するピンの直前に位置する他に分岐するピンまでは経路の最小遅延時間を求め、それから合流するピンまでは、求めた経路の最小遅延時間にパスの最大遅延時間を加算しても良い。そのようにした場合には、 $b(\min) + c > a$ は $b(\min) + c(\min) > a$ より成立し易いため、タイミング解析の精度の低下を回避しつつ、より効率的に経路をまとめられるようになる。なお、ホールドタイムチェックを想定しているときには、経路のまとめ方はセットアップタイムチェック時のそれとは逆になる。

## 【0081】

また、本実施の形態では、以下のことも考慮して経路をまとめるようにしている。

クロック信号が伝搬する経路のなかに、始点とするクロックソース以外のクロックソースを持つ経路が存在している場合がある。このことから、直前のクロックソースが同じでない経路は一つにまとめないようにしている。そのようにすることで、タイミング解析の精度が低下するのをより回避させることができる。

## 【0082】

クロック信号は、常に同じ相で経路を伝搬していくとは限らない。例えばイン

バータを含んでいる経路では、そのインバータによって相が逆になる。その相の反転に伴いスキューが変化することがある。これは、伝搬する相の違いによって、タイミング解析の結果が最悪となる経路の組み合わせが異なってくる可能性があることを意味する。このことから、合流するピンにおいて、クロックソースから出力されたクロック信号を伝搬している相が同じでない経路は一つにまとめないようにしている。それにより、タイミング解析の精度が低下するのをより回避させている。

## 【 0 0 8 3 】

上述したように、経路のなかにはクロックソースを複数、持つ経路が存在する場合がある。このことから、本実施の形態では、クロック信号が伝搬する経路の探索でも、経路に経路識別コードを付している。その経路識別コードの値は、経路を先に進めていく過程において、クロックソースと指定されたピンを通過する際に、それまでにない値に変更している。それにより、経路識別コードの値が同じでない経路は1つにまとめないようにしている。

## 【 0 0 8 4 】

これらのことから、本実施の形態では、パスが同じピンに集まる複数の経路のなかで2つ以上の経路間で以下の条件が全て満たされていれば、それらの条件が全て満たされている経路を1つにまとめている。それにより、タイミング解析で最悪となる可能性のある経路は確実に排除しないようにしている。その条件については、以降、選択条件と呼ぶことにする。

選択条件1) 直前のクロックソースが同じである

選択条件2) 合流したピンにおいて、直前のクロックソースからの信号の伝搬の相が同じである

選択条件3) 経路識別コードの値が同じである

選択条件4) 各パスの最大遅延時間より各経路の最大遅延時間を算出しながら経路探索を行っている場合は、分岐するピンから合流するピンまでの区間において、その区間の最大遅延時間が最も大きい経路で各パスの最小遅延時間を加算して求められるその区間の最小遅延時間が、他の経路のその区間での最大遅延時間以上となっているとき

各パスの最小遅延時間より各経路の最小遅延時間を算出しながら経路探索を行っている場合は、分岐するピンから合流するピンまでの区間において、その区間の最小遅延時間が最も小さい経路で各パスの最大遅延時間を加算して求められるその区間の最大遅延時間が、他の経路のその区間での最小遅延時間以下となっているとき

上記選択条件 4 の代わりに、以下の選択条件 4' を採用しても良い。

選択条件 4' ) 各パスの最大遅延時間より各経路の最大遅延時間を算出しながら経路探索を行っている場合は、分岐するピンから合流するピンまでの区間において、その区間の最大遅延時間が最も大きい経路で分岐するピンから合流するピンの直前に位置する他の分岐のピンまでの各パスは最小遅延時間、それより先は各パスの最大遅延時間を加算して求められるその区間の遅延時間が、他の経路のその区間での最大遅延時間以上となっているとき

各パスの最小遅延時間より各経路の最小遅延時間を算出しながら経路探索を行っている場合は、分岐するピンから合流するピンまでの区間において、その区間の最小遅延時間が最も小さい経路で分岐するピンから合流するピンの直前に位置する他の分岐のピンまでの各パスは最大遅延時間、それより先は各パスの最小遅延時間を加算して求められるその区間の遅延時間が、他の経路のその区間での最小遅延時間以下となっているとき

次に、上記選択条件 1 ～ 4、或いは選択条件 1 ～ 3、及び 4' を参照して行われる経路探索例について、図 1 5 ～ 図 1 9 に示す説明図を参照して詳細に説明する。ここでは混乱を避けるために、経路の最大遅延時間を求めていることにする。その最大遅延時間は、パスを一つ進める度に、それまでの遅延時間に、そのパスの最大遅延時間を加算していくことで求めている。

#### 【 0 0 8 5 】

図 1 5 では、クロックソースはピン s であり、そのピン s はピン a、c とそれぞれ結ばれている。ピン c はそのピン a と結ばれている。このことから、ピン a でパスが合流している。

#### 【 0 0 8 6 】

ピン c がクロック信号を逆相で伝搬する場合、ピン s - a を通る経路とピン s

—c—a を通る経路とでは選択条件 1 が成立しなくなる。このため、それらの経路はまとめられることなく、抽出されることになる。

## 【0087】

図 16 では、クロックソースはピン s、及び c であり、ピン s—a—b—c—d—g を通る経路と、ピン s—a—e—f—d—g を通る経路の 2 つが存在している。それらの経路はピン d で合流している。

## 【0088】

そのピン d において、ピン s—a—b—c—d—g を通る経路における直前のクロックソースはピン c であり、ピン s—a—e—f—d—g を通る経路のそれはピン s である。それらの経路間は選択条件 1 を満たさないため、まとめられることなく抽出される。

## 【0089】

図 17 では、クロックソースはピン s だけであり、ピン s—a—b—c—d—g を通る経路と、ピン s—a—e—f—d—g を通る経路の 2 つが存在している。それらの経路はピン d で合流している。各ピンで信号の反転は起こらない。

## 【0090】

それら 2 つの経路間では、選択条件 1～3 を満たしている。このことから、選択条件 4、或いは 4' を満たすか否か調べることになる。ピン a とピン b 間の最大遅延時間は  $\max(a, b)$  と表記し、その間の最小遅延時間は  $\min(a, b)$  と表記する。他のピン間も同様に表記することにする。ピン s—a—e—f—d—g を通る経路については、以降、経路 s—a—e—f—d—g のようにも表記することにする。他の経路についても同様である。

## 【0091】

ここでは最大遅延時間を求めていることを前提としているので、各経路のピン d での最大遅延時間を比較する。今、経路 s—a—b—c—d の方が最大遅延時間が大きいとする。それら経路が分岐するピンはピン a である。このことから、選択条件 4 を満たすか否か調べるとすると、 $\min(a, b) + \min(b, c) + \min(c, d)$  で算出される値を  $\max(a, e) + \max(e, f) + \max(f, d)$  で算出される値と比較することになる。その結果、前者の値が後者の値以上

であれば、経路  $s-a-e-f-d$  のほうは探索を打ち切ることになる。

【0092】

選択条件4' を満たすか否か調べるとすると、ピン  $d$  の直前に位置する分岐のあるピンはピン  $b$  であるため、 $\max(a, b) + \min(b, c) + \min(c, d)$  で算出される値を  $\max(a, e) + \max(e, f) + \max(f, d)$  で算出される値と比較することになる。その結果、前者の値が後者の値以上であれば、経路  $s-a-e-f-d$  のほうは探索を打ち切ることになる。 $\max(a, b) + \min(b, c) + \min(c, d) > \min(a, b) + \min(b, c) + \min(c, d)$  であるのが普通なことから明らかなように、選択条件4' は選択条件4 よりも満たしやすくなっている。

【0093】

選択条件4、或いは4' を満たし、経路  $s-a-e-f-d$  の探索を継続する場合には、経路  $s-a-b-c-d$  のほうの探索は打ち切ることになる。選択条件4 及び4' の何れも満たしていない場合には、各経路はそのまま探索を継続することになる。それら各経路には異なる経路識別コードが割り当てられる。

【0094】

図18では、クロックソースはピン  $s$  だけであり、各ピンで信号の反転は起こらない。ピン  $c$  まででは、経路  $s-a-b-c$  と、経路  $s-a-g-c$  の2つが存在している。ここでは、選択条件4 及び4' の何れも満たさないため、各経路の探索は続行していることとする。経路識別コードの値は、経路  $s-a-b-c$  では0、経路  $s-a-g-c$  では1とする。

【0095】

各経路の探索をピン  $d$  まで進めると、そのピン  $d$  まででは、経路  $s-a-b-c-d$  と、経路  $s-a-g-c-d$  の2つが存在していることになる。そのピン  $d$  はピン  $e$ 、 $h$  と結ばれている。この結果、ピン  $f$  では、経路  $s-a-b-c-d-e$  (経路識別コード0)、経路  $s-a-g-c-d-e$  (経路識別コード1)、経路  $s-a-b-c-d-h$  (経路識別コード0)、及び経路  $s-a-g-c-d-h$  (経路識別コード1) の4つの経路の合流を考慮することになる。

【0096】



各経路間では前提から選択条件 1、2 が成立している。経路識別コードの値が異なる経路間では選択条件 3 を満たしていないため、そのコードの値が同じ経路間で選択条件 4、或いは 4' が満たされているか否か調べることになる。即ち経路  $s - a - b - c - d - e$  と経路  $s - a - b - c - d - h$  の間、及び経路  $s - a - g - c - d - e$  と経路  $s - a - g - c - d - h$  の間で選択条件 4、或いは 4' を満たしているか否か調べることになる。

## 【 0 0 9 7 】

その結果、経路  $s - a - b - c - d - e$  と経路  $s - a - b - c - d - h$  の間で選択条件 4、或いは 4' が満たされていることを確認すれば、それらのうちでピン d からピン f までの区間における最大遅延時間が小さいほうの経路の探索は打ち切られる。選択条件 4、及び 4' が共に満たされていないことを確認すれば、各経路の探索は続行される。続行経路  $s - a - b - c - d - e$  と経路  $s - a - b - c - d - h$  の間で選択条件 4、或いは 4' が満たされていることを確認すれば、同様に、それらのうちでピン d からピン f までの区間における最大遅延時間が小さいほうの経路の探索は打ち切られる。選択条件 4、及び 4' が共に満たされていないことを確認すれば、各経路の探索は続行される。各経路が共に選択条件 4 及び 4' を満たしていなければ、例えば以下のように経路識別コードの値として 0 ～ 3 のうちの何れかを持つ経路が最終的に抽出される。各経路が共に選択条件 4 或いは 4' を満たしていれば、例えば以下の経路識別コードの値として 0、或いは 1 を持つ経路だけが最終的に抽出される。

## 【 0 0 9 8 】

経路  $s - a - b - c - d - e - f - i$  (経路識別コード 0)

経路  $s - a - g - c - d - e - f - i$  (経路識別コード 1)

経路  $s - a - b - c - d - h - f - i$  (経路識別コード 2)

経路  $s - a - g - c - d - h - f - i$  (経路識別コード 3)

上述した経路探索は、経路の最大遅延時間に着目したものであり、経路の最小遅延時間に着目した経路探索も同様に行われる。データ信号を入力、或いは出力するピンをデータピン、クロック信号を入力、或いは出力するピンをクロックピンと呼べば、タイミング解析として行うセットアップタイムチェックでは、デー

タ信号の送り側のセルが持つクロックピンへの経路は遅延時間が最大の経路、そのデータ信号の受け側のセルが持つクロックピンへの経路は遅延時間が最小の経路を用いる。ホールドタイムチェックでは、逆に、データ信号の送り側のセルが持つクロックピンへの経路は遅延時間が最小の経路、そのデータ信号の受け側のセルが持つクロックピンへの経路は遅延時間が最大の経路を用いる。送り側のセルが持つクロックピンへの経路、受け側のセルが持つクロックピンへの経路の片方、或いは両方が複数あれば、それらの経路の組み合わせ全てのチェックを行うことになる。

## 【 0 0 9 9 】

図 1 9 は、経路探索によって抽出された経路を説明する図である。図 1 9 中のエリア 1 9 1 はクロック経路の探索のためにトレースするクロックパスが存在しているエリアであり、エリア 1 9 2 はデータ経路の探索のためにトレースするデータパスが存在しているエリアである。FF 1 9 3 が送り側、FF 1 9 4 が受け側である。太線で描いた丸は経路条件中で指定されたピンを表している。各エリア 1 9 1、及び 1 9 2 において、実線はタイミング解析のために抽出された経路、破線は抽出されなかった、即ち探索が途中で終了した経路を表している。

## 【 0 1 0 0 】

図 1 9 に示すように、普通の線で描いた丸で示すクロックソースから FF 1 9 3 の CK 端子へのクロック経路は 1 つだけであることからそれが抽出され、クロックソースから FF 1 9 4 の CK 端子へのクロック経路は 4 つのなかから 2 つだけが抽出されている。FF 1 9 3 から FF 1 9 4 へのデータ経路は 5 つ存在しているが、経路条件で指定されたピンを通る 3 つだけが抽出されている。このことから、上述したような経路探索を行うことにより、図 1 9 に示す例では、 $1 \times 2 \times 3 = 6$  回のタイミングチェックを行えば良いことになる。

## 【 0 1 0 1 】

抽出される経路はタイミングチェック上、最悪となる可能性が考えられるものである。このため、その精度は、各経路の全ての組み合わせでタイミングチェックを行ったものと同じとなる。その全ての組み合わせの数は、上述したように、クロックソースから FF 1 9 3 の CK 端子へのクロック経路は 1 つ、クロックソ

ースから F F 1 9 4 の C K 端子へのクロック経路は 4 つ、F F 1 9 3 から F F 1 9 4 へのデータ経路は 5 つ存在しているため、 $1 \times 4 \times 5 = 20$ となる。このことから、精度を高く維持させつつ、抽出する経路の数を低減することによって、タイミングチェックの回数を大幅に低減できていることが分かる。

## 【 0 1 0 2 】

抽出する経路の数やタイミングチェックの回数を低減させることで、処理に要するメモリ容量はより低減し、処理時間はより短くなる。このことから、これまでより大規模な電子回路のタイミングチェックも行えることになる。

## 【 0 1 0 3 】

次に、パルス幅チェック（波形解析）用の経路探索について説明する。

クロックソースからのクロック信号はクロック経路を伝搬中にその波形が変化していく。その変化した後の波形が F F 等の動作を保証するだけの形を保っているか否か確認するのがパルス幅チェックである。チェックする内容としては、信号波形のライズエッジ（立ち上がり）から次のライズエッジまでの時間（以降、第 1 の周期幅と呼ぶ）、ライズエッジから次のフォール（F a l l）エッジ（立ち下がり）までの時間（以降、ハイレベル幅と呼ぶ）、フォールエッジから次のライズエッジまでの時間（以降、ローレベル幅と呼ぶ）、及びフォールエッジから次のフォールエッジまでの時間（以降、第 2 の周期幅と呼ぶ）、と最大で 4 種類ある。

## 【 0 1 0 4 】

パルス幅チェックでは、始点となるクロックソースからチェックの対象となるピンまで、経路毎に各エッジの総遅延時間を算出し、各エッジ間の総遅延時間の差とクロックソースから出力されるクロック信号の波形から各パルス幅を求める必要がある。しかし、上述したように、現在、設計される回路では、経路が複雑に分岐合流を繰り返しているのが普通であるために、経路毎に各エッジ間の総遅延時間を求めることは現実的でない。このことから、本実施の形態では、分岐合流するクロック経路は以下のようにまとめるようにしている。

## 【 0 1 0 5 】

例えば或るピンでクロック信号がハイレベルとなっている幅（ハイレベル幅）

がチェックの対象であるとする、そのピンへクロックソースからの信号が反転しないで伝搬しているのであれば、ハイレベル幅は、

$$\text{ハイレベル幅} = (\text{クロックソースでのハイレベル幅}) - ((\text{ピンでのライズエッジのクロックソースからの総遅延時間}) - (\text{ピンでのフォールエッジのクロックソースからの総遅延時間}))$$

で計算される。従って、そのようにして計算されるハイレベル幅がタイミング解析で指定されたハイレベル幅より大きければ良いことになる。ただし、ここではパスの遅延時間には最大の遅延時間と最小の遅延時間とが存在しているため、最悪の場合を考えて、ハイレベル幅は、

$$\text{ハイレベル幅} = (\text{クロックソースでのハイレベル幅}) - ((\text{ピンでのライズエッジのクロックソースからの最大の総遅延時間}) - (\text{ピンでのフォールエッジのクロックソースからの最小の総遅延時間}))$$

で計算することになる。

#### 【 0 1 0 6 】

それ以外の第 1 の周期幅、第 2 の周期幅、及びローレベル幅については、それぞれ以下のようにして計算する。

$$\text{第 1 の周期幅} = (\text{クロックソースでの第 1 の周期幅}) - ((\text{ピンでのライズエッジのクロックソースからの最大の総遅延時間}) - (\text{ピンでのライズエッジのクロックソースからの最小の総遅延時間}))$$

$$\text{第 2 の周期幅} = (\text{クロックソースでの第 2 の周期幅}) - ((\text{ピンでのフォールエッジのクロックソースからの最大の総遅延時間}) - (\text{ピンでのフォールエッジのクロックソースからの最小の総遅延時間}))$$

$$\text{ローレベル幅} = (\text{クロックソースでのローレベル幅}) - ((\text{ピンでのフォールエッジのクロックソースからの最大の総遅延時間}) - (\text{ピンでのライズエッジのクロックソースからの最小の総遅延時間}))$$

或るピンへのクロック経路が複数、存在している場合、各経路でクロックソースからの信号が反転することなく伝搬するのであれば、上述の式でそのピンのハイレベル幅は算出される。それにより、経路毎に、 $((\text{ピンでのライズエッジのクロックソースからの最大の総遅延時間}) - (\text{ピンでのフォールエッジのクロッ$

クソースからの最小の総遅延時間) ) で計算される総遅延差が異なることになる。よって、クロックソースからの信号が反転することなく伝搬する経路のうち、  
 ( (ピンでのライズエッジのクロックソースからの最大の総遅延時間) - (ピンでのフォールエッジのクロックソースからの最小の総遅延時間) ) で計算される遅延差が最大となる経路が分かる。その最大の総遅延差でのチェックがタイミング的に最も厳しくなるので、その総遅延差でのチェックでハイレベル幅に問題がなければ他の経路でも問題は無いことになる。

## 【 0 1 0 7 】

パルス幅チェックには、上記したように、最大で4種類のチェックがある。このことから、その4種類のチェックを行えるようにするためには、上記総遅延差 (以降、第1の総遅延差と呼ぶ) の他に、( (ピンでのライズエッジのクロックソースからの最大の総遅延時間) - (ピンでのライズエッジのクロックソースからの最小の総遅延時間) ) で計算される総遅延差 (以降、第2の総遅延差と呼ぶ) 、( (ピンでのフォールエッジのクロックソースからの最大の総遅延時間) - (ピンでのライズエッジのクロックソースからの最小の総遅延時間) ) で計算される総遅延差 (以降、第3の総遅延差と呼ぶ) 、及び ( (ピンでのフォールエッジのクロックソースからの最大の総遅延時間) - (ピンでのフォールエッジのクロックソースからの最小の総遅延時間) ) で計算される総遅延差 (以降、第4の総遅延差と呼ぶ) 、を用意する必要がある。同じピンで合流する複数の経路において、上述のように算出される各総遅延差別に、そのなかで最大のものを選択すれば、それら複数の経路はタイミング的に最も厳しいように1つにまとめられることになる。その結果、パルス幅チェックの精度の低下を回避しつつ、経路の数を低減できることになる。同じピンで合流する複数の経路を1つにまとめる (合成する) うえでそれら複数の経路間で満たすべき条件としては、以下のものを設定している。それにより、区別すべき経路は区別して扱っている。なお、その条件は以降、合成条件と呼ぶことにする。

## 【 0 1 0 8 】

合成条件 1 : 直前のクロックソースからの信号が伝搬する相が同じである

合成条件 2 : 直前のクロックソースが同じである

経路探索は、上述の経路探索と同様に、始点とするクロックソースから1つずつ先のピンに進めながら、各ピン毎にイベントを作成していくことで行う。そのイベントとしては、直前のイベントを示すデータ、信号が反転しているか否かを示すデータ、及びパルス幅を算出するための各種総遅延差（遅延差の累算値）を少なくとも作成する。各種総遅延差は、直前のイベントで作成された各種総遅延差を更新する形で作成する。

## 【0109】

それら総遅延差は、具体的には以下のようにして作成（算出）している。ここでは、便宜的に、直前のイベントで作成されている第1～第4の総遅延差は、それぞれ直前の第1～第4の総遅延差、今回のイベントにおける第1～第4の総遅延差はそれぞれ今回の第1～第4の総遅延差と表記することにする。直前のイベントで示されるピンと結ぶパスにおいて、ライズエッジからライズエッジの伝搬に要する最大の遅延時間からフォールエッジからフォールエッジの伝搬に要する最小の遅延時間を減算して算出される遅延差を第1の遅延差、ライズエッジからライズエッジの伝搬に要する最大の遅延時間から最小の遅延時間を減算して算出される遅延差を第2の遅延差、フォールエッジからフォールエッジの伝搬に要する最大の遅延時間からライズエッジからライズエッジの伝搬に要する最小の遅延時間を減算して算出される遅延差を第3の遅延差、フォールエッジからフォールエッジの伝搬に要する最大の遅延時間から最小の遅延時間を減算して算出される遅延差を第4の遅延差、とそれぞれ表記することにする。

## 【0110】

先ず、クロック信号が反転していない場合には、即ちクロックソースからの信号が直前のイベント（ピン）及び今回のイベント（ピン）で共に反転しているか、或いは共に反転していない場合には、以下のようにして今回の第1～第4の総遅延差が算出される。

## 【0111】

今回の第1の総遅延差 = (直前の第1の総遅延差) + (第1の遅延差)

今回の第2の総遅延差 = (直前の第2の総遅延差) + (第2の遅延差)

今回の第3の総遅延差 = (直前の第3の総遅延差) + (第3の遅延差)

今回の第 4 の総遅延差 = (直前の第 4 の総遅延差) + (第 4 の遅延差)

クロック信号が反転している場合には、即ち直前のイベント（ピン）におけるクロックソースからの信号の相が今回のイベント（ピン）におけるそれと異なっている場合には、以下のようにして今回の第 1 ～第 4 の総遅延差が算出される。ここでは、便宜的に、直前のイベントで示されるピンと結ぶパスにおいて、フォールエッジからライズエッジの伝搬に要する最大の遅延時間からフォールエッジからライズエッジの伝搬に要する最小の遅延時間を減算して算出される遅延差を第 5 の遅延差、フォールエッジからライズエッジの伝搬に要する最大の遅延時間からライズエッジからフォールエッジの伝搬に要する最小の遅延時間を減算して算出される遅延差を第 6 の遅延差、ライズエッジからフォールエッジの伝搬に要する最大の遅延時間からフォールエッジからライズエッジの伝搬に要する最小の遅延時間を減算して算出される遅延差を第 7 の遅延差、ライズエッジからフォールエッジの伝搬に要する最大の遅延時間から最小の遅延時間を減算して算出される遅延差を第 8 の遅延差、とそれぞれ表記する。

#### 【 0 1 1 2 】

今回の第 1 の総遅延差 = (直前の第 3 の総遅延差) + (第 5 の遅延差)

今回の第 2 の総遅延差 = (直前の第 4 の総遅延差) + (第 6 の遅延差)

今回の第 3 の総遅延差 = (直前の第 1 の総遅延差) + (第 7 の遅延差)

今回の第 4 の総遅延差 = (直前の第 2 の総遅延差) + (第 8 の遅延差)

次に上記合成条件 1、2 を参照して行われるパルス幅チェック用の経路探索例について、図 2 0、図 1 5、及び図 1 6 に示す説明図を参照して詳細に説明する。

#### 【 0 1 1 3 】

図 2 0 では、クロックソースはピン s であり、終点はピン g である。各ピンを結びパスで信号の反転は起こらないとする。経路 s - a - b - c - d - g は経路 s - a - e - f - d - g とピン d で合流している。

#### 【 0 1 1 4 】

各経路 s - a - b - c - d - g、s - a - e - f - d - g 間では合成条件 1、2 を全て満たしている。このため、ピン d では、経路 s - a - b - c - d、s -

a - e - f - d までの各種総遅延差がそれぞれ比較して、最大となっている総遅延差を選択する。それにより、経路は 1 つに合成されることになる。

## 【 0 1 1 5 】

図 1 5 では、クロックソースはピン s であり、そのピン s はピン a、c とそれぞれ結ばれている。ピン c はそのピン a と結ばれている。このことから、ピン a でパスが合流している。

## 【 0 1 1 6 】

ピン c がクロック信号を逆相で伝搬する場合、経路 s - a と経路 s - c - a 間は合成条件 1 を満たさなくなる。このため、それらの経路は合成されることなく、探索が続けられて抽出されることになる。

## 【 0 1 1 7 】

図 1 6 では、クロックソースはピン s、及び c であり、経路 s - a - b - c - d - g は経路 s - a - e - f - d - g とピン d で合流している。

そのピン d において、経路 s - a - b - c - d における直前のクロックソースはピン c であり、経路 s - a - e - f - d - g におけるそれはピン s である。このため、それらの経路間では合成条件 2 を満たさないため、まとめられることなく探索が続けられて抽出されることになる。

## 【 0 1 1 8 】

このようにして、本実施の形態では、上述の経路探索と同様に、経路探索を行いながら、複数の経路の組み合わせのなかで 1 つにまとめられるものは一つにまとめている。それにより、全ての経路を考慮しつつ、最終的に抽出する経路数を低減させている。そのように経路数を低減させる結果、分岐合流を繰り返すような電子回路であっても、高精度なパルス幅チェックをより短い処理時間、より少ないメモリ容量で行えるようになる。

## 【 0 1 1 9 】

上記第 1 ～ 第 4 の総遅延差は、パルス幅チェックの対象とするピンで残っていた経路毎に保持される。それら総遅延差は、直前のクロックソースから出力されるクロック信号の対応するパルス幅の時間と加算することにより、そのピンでのパルス幅を算出することができる。このことから、経路探索後のパルス幅チェッ



クは極めて迅速に行うことができる。

【 0 1 2 0 】

上述の経路探索やタイミング解析は図 2 1 に示すフローに沿って行われる。次に、図 2 1 を参照して、そのフローで行われる処理、及びその流れについて詳細に説明する。なお、その図 2 1 に示すフローは、例えばユーザ（設計者）が入力装置 3 3 を操作して、電子回路のなかでタイミング解析の対象とする部分を指定してその解析を指示した場合に、図 3 に示す CPU 3 1 が、例えば外部記憶装置 3 5 に搭載された記憶媒体（例えばハードディスク）に記憶されているプログラムを読み出して実行することで実現される。

【 0 1 2 1 】

先ず、ステップ S 1 では、設定された選択条件を全て満たす複数のクロック経路はそのうちの 1 つを選択しつつ、クロックソースと指定されたピンを始点として、クロックパスをトレースしていくことでクロック経路の探索を行うクロックパストレース処理を実行する。ステップ S 2 では、データ経路を対象に、他と区別すべきデータ経路が満たすべき経路条件の設定を行う。その経路条件の設定は解析の対象となる部分に存在するセルの種類や組み合わせなどを基に自動的に行っても良いが、ユーザに設定させるようにしても良い。

【 0 1 2 2 】

ステップ S 2 に続くステップ S 3 では、設定された経路条件を満たすか否か区別しつつ、データパスをトレースしていくことでデータ経路の探索を行うデータパストレース処理を実行する。次に移行するステップ S 4 では、ステップ S 1 のクロックパストレース処理で抽出したクロック経路、及びステップ S 3 のデータパストレース処理で抽出したデータ経路の組み合わせ毎に、セットアップタイムチェック、及びホールドタイムチェックを行うタイミングチェック処理を実行する。その後は、ステップ S 5 に移行して、例えば出力装置 3 4 にチェック結果を出力させる。そのチェック結果を出力させることで、タイミングチェックにかかる一連の処理は終了する。

【 0 1 2 3 】

一方、ステップ S 6 では、予め設定された合成条件を満たすか否かに応じて複

数のクロック経路を合成しつつ、クロックパスをトレースしていくことでパルス幅チェック用にクロック経路の探索を行うパルス幅チェック用トレース処理を実行する。その実行時には、各イベント（ピン）毎に、上記第1～第4の総遅延差が算出される。このことから、続くステップS7では、ステップS6のパルス幅チェック用トレース処理で抽出したクロック経路毎に、その第1～第4の総遅延差によりクロックソースから出力されるクロック信号の波形を変形させた後の波形の形状のチェックを行うクロックパルス幅チェック処理を実行する。その実行後はステップS5に移行して、そのチェック結果を例えば出力装置34に出力させる。そのチェック結果を出力させることで、パルス幅チェックにかかる一連の処理が終了する。

#### 【0124】

以降は、図21に示すタイミング解析フローで実行される各種サブルーチン処理について詳細に説明する。

図22は、上記ステップS1として実行されるクロックパストレース処理のフローチャートである。タイミング解析フロー内で実行される各種サブルーチン処理については、始めに図22を参照して、クロックパストレース処理について詳細に説明する。

#### 【0125】

先ず、ステップS11では、指定されたクロックソースを始点として、それが出力するクロック信号の到達する範囲のピンを深さ優先探索などの手法により特定する処理1を実行する。続くステップS12では、特定した範囲内に存在するピンを始点のピンから近い順に並べ替えて処理順とする処理2を実行する。

#### 【0126】

上記近さは、例えば始点からパスを辿ってピンに至るまでに経由するピンの数から決定し、その数が少ないほど近いとする。ピンに至る経路が複数、存在している場合には、経由するピンの数が最も多い経路で経由することになるピンの数から近さを決定する。そのようにして処理順を決定することにより、例えば図15～図18に示すグラフのようにその範囲、及びピンの接続関係が特定されることになる。

## 【 0 1 2 7 】

ステップ S 1 2 に続くステップ S 1 3 では、決定した処理順に従って、ピンにイベントを作成していく処理 3 を実行する。それにより、各ピンにイベントを作成した後、一連の処理を終了する。

## 【 0 1 2 8 】

上述のクロックパストレース処理の実行により、図 2 3 ～図 2 7 に示す各種サブルーチン処理が実行される。以降は、その各種サブルーチン処理について詳細に説明する。

## 【 0 1 2 9 】

図 2 3 は、上記ステップ S 1 3 として実行される処理 3 のフローチャートである。各種サブルーチン処理としては、始めに図 2 3 を参照して、その処理 3 について詳細に説明する。

## 【 0 1 3 0 】

先ず、ステップ S 2 1 では、始点のピンにはその直前のピン（イベント）が存在していないことから、他のピンと区別してイベントを作成する。そのイベントはピンに対応付けて作成される情報テーブルであり、ここでは、その情報テーブルに、経路に沿った総遅延時間、前段のイベントを示すデータであるイベント名、直前のクロックソースを示すデータとしてのイベント名、直前のクロックソースからの信号を伝搬する相を示すデータ、及び経路識別コードなどを格納している。始点のピンでは、前段のイベントが存在していないために、経路識別コードの値は 0、前段のイベントはないことを示すデータ、信号の相は同相を示すデータを格納している。

## 【 0 1 3 1 】

上記情報テーブルに格納する総遅延時間は、設定されているモードによって異なる。そのモードは、パスの最大遅延時間を加算していくモード（以降、便宜的に最大遅延モードと呼ぶ）、及びその最小遅延時間を加算していくモード（以降、便宜的に最小遅延モードと呼ぶ）の 2 つがある。特に詳細な説明は省略するが、そのモードを切り換えることで、処理 3 は異なるモードで 2 回、実行するようになっている。ここでは、混乱を避けるために、現在のモードを考慮した説明は

最小限に抑えることにする。パスの遅延時間については例えば外部記憶装置 3 5 に搭載の記憶媒体（例えばハードディスク）に記憶されたライブラリや配線長データベースを参照することで得ることができる。

#### 【 0 1 3 2 】

ステップ S 2 1 に続くステップ S 2 2 では、図 2 2 のステップ S 1 2 で決定した処理順に従って、到達範囲内のピンを取り出す。次に移行するステップ S 2 3 では、取り出したピンのイベントを作成するピンのイベント作成処理を実行する。その後はステップ S 2 4 に移行する。

#### 【 0 1 3 3 】

ステップ S 2 4 では、イベントを作成していないピンが存在するか否か判定する。全ての経路を考慮しつつ、全てのピンにイベントを作成した場合、判定は N O となり、ここで一連の処理を終了する。そうでない場合には、判定は Y E S となり、上記ステップ S 2 2 に戻ってそれ移行の処理を同様に実行する。

#### 【 0 1 3 4 】

上記ステップ S 2 2 ～ S 2 4 で形成される処理ループは、ステップ S 2 4 の判定が N O となるまで繰り返し実行される。それにより、図 8 ～ 図 1 1 を参照して説明したのと同様に、各ピンに 1 つ以上のイベントが作成されることになる。

#### 【 0 1 3 5 】

図 2 4 は、上記ステップ S 2 3 として実行されるピンのイベント作成処理のフローチャートである。次に図 2 4 を参照して、そのイベント作成処理について詳細に説明する。

#### 【 0 1 3 6 】

まず、ステップ S 3 1 では、現在、処理対象としているピンの前段に位置する全てのピンのイベントを順に取り出す。次に移行するステップ S 3 2 では、取り出した前段のイベントからピンに信号が伝搬した場合のイベントの内容を一時領域（メモリ 3 2、或いは外部記憶装置 3 5 に確保される領域である）に作成して、内容を作成したイベントを仮イベントとする仮イベントの内容作成処理を実行する。それを実行した後はステップ S 3 3 に移行する。

#### 【 0 1 3 7 】

ステップ S 3 3 では、処理対象のピンに既に作成されたイベントがあるか否か判定する。ステップ S 3 2 で作成する仮イベントを含め、処理対象のピンに複数のイベントが作成されている場合、判定は Y E S となってステップ S 3 5 に移行する。そうでない場合には、即ち処理対象のピンにイベントは作成されてなく、且つ作成した仮イベントも 1 つであった場合には、判定は N O となってステップ S 3 4 に移行し、作成した仮イベントをイベントとしてピンに付加した後、一連の処理を終了する。

## 【 0 1 3 8 】

一方、ステップ S 3 5 では、既に作成されているイベントのなかに仮イベントとの間で選択条件 1 ～ 3 の成り立つイベント（以降、比較イベントと呼ぶ）があるか否か判定する。処理対象のピンで選択条件 1 ～ 3 を満たす複数の経路が合流していない場合、判定は N O となり、ステップ S 3 4 に移行して、仮イベントをイベントとしてピンに付加した後、一連の処理を終了する。そうでない場合には、判定は Y E S となってステップ S 3 6 に移行する。

## 【 0 1 3 9 】

上記ステップ S 3 1 で前段のピンのイベントを複数、取り出していれば、複数の仮イベントが作成される。このことから、ステップ S 3 5 では、仮イベント間でも選択条件 1 ～ 3 が成り立っている仮イベントの有無も同様に判定している。複数の仮イベントの間で選択条件 1 ～ 3 が成り立っていれば、そのうちの一つ、或いは複数の仮イベントを比較イベントとして扱っている。それにより、既に作成したイベント間では選択条件 1 ～ 3、及び選択条件 4'（または 4）の全てが成り立つことは回避させている。

## 【 0 1 4 0 】

ステップ S 3 6 では、比較イベントと仮イベントの総遅延時間を比較して優先度を決定する。その優先度は、モードが最大遅延モードであれば、比較イベントと仮イベントのなかで総遅延時間が大きいほうが高いこととなり、それが最小遅延モードであればその逆となる。そのように優先度を決定した後はステップ S 3 7 に移行する。

## 【 0 1 4 1 】

ステップ S 3 7 では、比較イベントと仮イベントの間で選択条件 4'（または 4）が成り立つか否か判定する。それら各イベントの条件テーブルを参照して経路を遡ることで特定される直前に経路が分岐するピンから現在、処理対象のピンまでの区間の遅延時間の間に選択条件 4'（または 4）が成立していた場合、判定は Y E S となってステップ S 4 0 に移行する。そうでない場合には、判定は N O となってステップ S 3 8 に移行する。

## 【 0 1 4 2 】

ステップ S 3 8 では、処理対象のピンで合流する複数の経路は 1 つにまとめられないことから、比較イベントと仮イベントのなかで優先度の低いほうの経路識別コードを更新して、既存でない値とする。次に移行するステップ S 3 9 では、仮イベントをイベントとして処理対象のピンに付加する。その後に一連の処理を終了する。

## 【 0 1 4 3 】

一方のステップ S 4 0 では、仮イベントのほうが高優先度が高いか否か判定する。その仮イベントに高い優先度を設定していた場合、判定は Y E S となり、ステップ S 4 1 で仮イベントの内容を比較イベントの内容に置き換えた後、言い換えれば比較イベントを持つ経路を、仮イベントを作成した経路にまとめた後、一連の処理を終了する。そうでない場合には、判定は N O となり、ステップ S 4 2 で仮イベントの内容を破棄した後、言い換えれば仮イベントを作成した経路を、比較イベントを持つ経路にまとめた後、一連の処理を終了する。

## 【 0 1 4 4 】

このようにして、本実施の形態では、経路探索のためのクロックパスのトレースを行いながら、選択条件 1 ～ 3、4'、或いは 1 ～ 4 を満たす複数の経路はそのなかで優先度が最も高い経路にまとめている。

## 【 0 1 4 5 】

図 2 5 は、上記ステップ S 3 2 として実行される仮イベントの内容作成処理のフローチャートである。次にその内容作成処理について詳細に説明する。

先ず、ステップ S 5 1 では、経路識別コードの値や直前のクロックソースを決定する処理を行う。その次に移行するステップ S 5 2 では、直前のクロックソー

スから信号が伝搬する相を決定する処理を行う。その後はステップ S 5 3 に移行して、前段のイベントや経路の総遅延時間などを設定する処理を実行した後、一連の処理を終了する。

#### 【 0 1 4 6 】

上記ステップ S 5 1 ～ S 5 3 は、各仮イベント毎に行われる。それにより、各仮イベント毎に、仮イベントの内容を示すデータが一時領域に保存されることになる。

#### 【 0 1 4 7 】

上記ステップ S 5 1、及び S 5 2 では、それぞれ以下のような内容の処理が行われる。

図 2 6 は、上記ステップ S 5 1 として実行される経路識別コード、直前のクロックソースの決定処理のフローチャートである。始めに図 2 6 を参照して、その決定処理について詳細に説明する。

#### 【 0 1 4 8 】

まず、ステップ S 6 1 では、前段のイベントを持つピンが始点以外のクロックソースか否か判定する。そのピンが始点以外のクロックソースであった場合、判定は Y E S となってステップ S 6 2 に移行する。そうでない場合には、判定は N O となってステップ S 6 3 に移行する。なお、ピンがクロックソースか否かは、例えばライブラリ、或いはネットリストを参照することで特定する。

#### 【 0 1 4 9 】

ステップ S 6 2 では、直前のピンが始点以外のクロックソースであることから、既存でない値を経路識別コードに設定するとともに、直前のクロックソースを示すイベント名として、そのクロックソースのイベント名を設定する。そのようにして経路識別コード、及び直前のクロックソースを示すイベント名を設定（決定）した後、一連の処理を終了する。

#### 【 0 1 5 0 】

ステップ S 6 3 では、直前のピンが始点以外のクロックソースでないことから、経路識別コード、及び直前のクロックソースを示すイベント名として、前段のイベントがそれぞれ持つものを設定する。そのようにして経路識別コード、及び

直前のクロックソースを示すイベント名を設定（決定）した後、一連の処理を終了する。

#### 【0151】

次に、図25に示すフローチャート内でステップS52として実行される信号伝搬の相決定処理について、図27に示すそのローチャートを参照して詳細に説明する。

#### 【0152】

まず、ステップS71では、前段のイベントを持つピンと結ぶパスで信号が反転するか否か判定する。例えばライブラリからそのパスで信号が反転することを確認した場合、判定はYESとなってステップS72に移行し、信号が伝搬する相として、前段のイベントにおける信号が伝搬する相を反転したものに決定した後、一連の処理を終了する。そうでない場合には、即ち信号が反転していないか、或いは直前のイベントを持つピンがクロックソースであった場合には、判定はNOとなってステップS73に移行し、信号が伝搬する相として、前段のイベントにおける信号が伝搬する相を決定した後、一連の処理を終了する。直前のイベントを持つピンがクロックソースであれば、その相は同相を決定する。

#### 【0153】

図21に示す解析フローでステップS1として実行されるクロックパストレース処理では、上述したような各種サブルーチン処理が実行される。それにより、セットアップタイムチェックやホールドタイムチェックといったタイミング解析を行ううえで用いるクロック経路をモード別に抽出するようになっている。

#### 【0154】

図28は、図21に示すタイミング解析フローでステップS3として実行されるデータパストレース処理のフローチャートである。次に図28を参照して、そのトレース処理について詳細に説明する。

#### 【0155】

まず、ステップS81では、図21のステップS2で設定された経路条件中で指定されたピン（始点、終点、或いは特定のピン、など）にフラグを付加するといった前処理を行う（図6、図7等参照）。続くステップS82では、始点とし



て指定されたピンから出力されるデータ信号の到達する範囲のピンを深さ優先探索などの手法により特定する処理を実行する。その次に移行するステップ S 8 3 では、特定した範囲内に存在するピンを始点のピンから近い順に並べ替えて処理順とする処理を実行する。

## 【 0 1 5 6 】

上記ステップ S 8 2、S 8 3 の内容は、図 2 2 のステップ S 1 1 の処理 1、ステップ S 1 2 の処理 2 と同様である。ステップ S 8 3 の処理を実行することで、図 6 に示すグラフのように、データ信号が到達する範囲、及びピンの接続関係が特定されることになる。

## 【 0 1 5 7 】

ステップ S 8 3 に続くステップ S 8 4 では、決定した処理順に従って、ピンにイベントを作成していく処理 4 を実行する。それにより、各ピンにイベントを作成した後、一連の処理を終了する。

## 【 0 1 5 8 】

上述のデータパストレース処理の実行により、図 2 3 ～図 2 7 に示す各種サブルーチン処理が実行される。以降は、その各種サブルーチン処理について詳細に説明する。

## 【 0 1 5 9 】

図 2 9 は、上記ステップ S 8 4 として実行される処理 4 のフローチャートである。各種サブルーチン処理としては、始めに図 2 9 を参照して、その処理 4 について詳細に説明する。

## 【 0 1 6 0 】

先ず、ステップ S 9 1 では、始点のピンにはその直前のピン（イベント）が存在していないことから、他のピンと区別してイベントを作成する。ここでは、そのイベントである情報テーブルに、経路に沿った総遅延時間、前段のイベントを示すデータであるイベント名、及び経路識別コードなどを格納している。始点のピンでは、前段のイベントが存在していないために、経路識別コードの値は 0、前段のイベントはないことを示すデータ、総遅延時間は 0 を格納している。

## 【 0 1 6 1 】

上記情報テーブルに格納する総遅延時間は、処理 3 と同様に、モードを切り換えて 2 回、実行するようになっている。ここでも、混乱を避けるために、現在のモードを考慮した説明は最小限に抑えることにする。パスの遅延時間については例えば外部記憶装置 3 5 に搭載の記憶媒体（例えばハードディスク）に記憶されたライブラリや配線長データベースを参照することで得ることができる。2 つのモードについては、処理 3 と同様に、最大遅延モード、最小遅延モードとそれぞれ呼ぶことにする。

## 【 0 1 6 2 】

ステップ S 9 1 に続くステップ S 9 2 では、図 2 8 のステップ S 8 3 で決定した処理順に従って、到達範囲内のピンを取り出す。次に移行するステップ S 9 3 では、取り出したピンのイベントを作成するピンのイベント作成処理を実行する。その後はステップ S 9 4 に移行する。

## 【 0 1 6 3 】

ステップ S 9 4 では、イベントを作成していないピンが存在するか否か判定する。全ての経路を考慮しつつ、全てのピンにイベントを作成した場合、判定は N O となり、ここで一連の処理を終了する。そうでない場合には、判定は Y E S となり、上記ステップ S 9 2 に戻ってそれ移行の処理を同様に実行する。

## 【 0 1 6 4 】

上記ステップ S 9 2 ～ S 9 4 で形成される処理ループは、ステップ S 9 4 の判定が N O となるまで繰り返し実行される。それにより、図 8 ～ 図 1 1 を参照して説明したのと同様に、各ピンに 1 つ以上のイベントが作成されることになる。

## 【 0 1 6 5 】

図 3 0 は、上記ステップ S 9 3 として実行されるピンのイベント作成処理のフローチャートである。次に図 3 0 を参照して、そのイベント作成処理について詳細に説明する。

## 【 0 1 6 6 】

まず、ステップ S 1 0 1 では、現在、処理対象としているピンの前段に位置する全てのピンのイベントを順に取り出す。次に移行するステップ S 1 0 2 では、取り出した前段のイベントからピンに信号が伝搬した場合のイベントの内容を一

時領域（メモリ 3 2、或いは外部記憶装置 3 5に確保される領域である）に作成して、内容を作成したイベントを仮イベントとする仮イベントの内容作成処理を実行する。それを実行した後はステップ S 1 0 3 に移行する。

## 【 0 1 6 7 】

ステップ S 1 0 3 では、処理対象のピンに既に作成されたイベントがあるか否か判定する。ステップ S 1 0 2 で作成する仮イベントを含め、処理対象のピンに複数のイベントが作成されている場合、判定は Y E S となってステップ S 1 0 4 に移行する。そうでない場合には、即ち処理対象のピンにイベントは作成されてなく、且つ作成した仮イベントも 1 つであった場合には、判定は N O となってステップ S 1 0 5 に移行する。

## 【 0 1 6 8 】

ステップ S 1 0 4 では、既に作成されているイベントのなかに仮イベントの経路識別コードの値が同じイベント（比較イベント）があるか否か判定する。処理対象のピンで経路識別コードの値の異なる複数の経路が合流していない場合、判定は N O となり、ステップ S 1 0 5 に移行して、仮イベントをイベントとしてピンに付加した後、一連の処理を終了する。そうでない場合には、判定は Y E S となってステップ S 1 0 6 に移行する。

## 【 0 1 6 9 】

上記ステップ S 1 0 1 で前段のピンのイベントを複数、取り出していれば、複数の仮イベントが作成される。このことから、ステップ S 1 0 4 では、仮イベント間でも経路識別コードの値が同じものの有無も同様に判定している。複数の仮イベントが同じ値の経路識別コードを持っていれば、そのうちの一つ、或いは複数の仮イベントを比較イベントとして扱っている。それにより、既に作成したイベント間では経路識別コードの値が一致しないようにさせている（図 1 0、或いは図 1 1 等参照）。

## 【 0 1 7 0 】

ステップ S 1 0 6 では、比較イベントと仮イベントの総遅延時間を比較して優先度を決定する。その優先度は、モードが最大遅延モードであれば、比較イベントと仮イベントのなかで総遅延時間が大きいほうが高いこととなり、それが最小

遅延モードであればその逆となる。そのように優先度を決定した後はステップ S 107 に移行する。

【0171】

ステップ S 107 では、仮イベントのほうが高い優先度が高いか否か判定する。その仮イベントに高い優先度を設定していた場合、判定は YES となり、ステップ S 108 で仮イベントの内容を比較イベントの内容に置き換えた後、言い換えれば比較イベントを持つ経路を、仮イベントを作成した経路にまとめた後、一連の処理を終了する。そうでない場合には、判定は NO となり、ステップ S 109 で仮イベントの内容を破棄した後、言い換えれば仮イベントを作成した経路を、比較イベントを持つ経路にまとめた後、一連の処理を終了する。

【0172】

このようにして、本実施の形態では、経路探索のためのデータパスのトレースを行いながら、経路識別コードの値が同じ経路はそれが合流するピンのイベントを作成する段階で優先度が最も高い経路にまとめている。

【0173】

図 31 は、上記ステップ S 102 として実行される仮イベントの内容作成処理のフローチャートである。次にその内容作成処理について詳細に説明する。

まず、ステップ S 111 では、経路識別コードの値を決定する経路識別コードの決定処理を実行する。その次に移行するステップ S 112 では、前段のイベントや経路の総遅延時間などを設定する処理を実行する。一連の処理はその後に終了する。

【0174】

図 31 は、上記ステップ S 111 として実行される経路識別コードの決定処理のフローチャートである。次に図 31 を参照して、その決定処理について詳細に説明する。

【0175】

まず、ステップ S 121 では、前段のイベントを持つピンが、設定された経路条件中で指定されているピンか否か判定する。上述したように、経路条件中で指定されたピンにはフラグを付加している。このことから、そのピンにフラグが付

加されていた場合、判定はYESとなってステップS122に移行する。そうでない場合には、判定はNOとなってステップS123に移行する。

## 【0176】

ステップS122では、直前のピンにフラグが付加されていることから、既存でない値を経路識別コードに設定する。他方のステップS123では、経路識別コードの値として、前段のイベントが持つ経路識別コードと同じ値を設定する。そのようにして既存でない値の経路識別コード、或いは前段のイベントと同じ値の経路識別コードを設定した後に一連の処理を終了する。

## 【0177】

図21に示すタイミング解析フローでステップS3として実行されるデータバ스트レース処理では、上述したような各種サブルーチン処理が実行される。それにより、設定した経路条件で区別しつつ、セットアップタイムチェックやホールドタイムチェックといったタイミング解析を行ううえで用いるデータ経路をモード別に抽出するようになっている。

## 【0178】

上記タイミング解析フローのステップS4のタイミングチェック処理は、ステップS1のクロックバストレース処理、及びステップS3のデータバストレース処理をそれぞれ実行した後に実行される。次に、そのタイミングチェック処理について、図33に示すそのフローチャートを参照して詳細に説明する。

## 【0179】

上述したように、タイミング解析では、データ信号の送り側のセルが持つクロックピンへの経路、その受け側のセルが持つクロックピンへの経路、及びそのデータ信号が伝搬する経路の組み合わせ全てでチェックを行う必要がある。このことから、タイミングチェック処理では、それら経路の組み合わせのなかから選択する組み合わせを順次、変更しつつ、タイミングチェックを行うようになっている。

## 【0180】

先ず、ステップS131では、データ信号の送り側のセルが持つクロックピンへの経路、その受け側のセルが持つクロックピンへの経路、及びそのデータ信

号が伝搬する経路の組み合わせのなかから、タイミングチェックを行っていない一つの組み合わせを選択する。ここでは、選択した組み合わせはケースと呼ぶことにする。

## 【0181】

ステップS131に続くステップS132では、そのケースのデータ経路が満たす経路条件や、送り側、受け側の各セルへのクロック経路の組み合わせから特定される、タイミングチェックを行ううえでの条件を考慮してタイミングチェックを行う。その後はステップS133に移行する。

## 【0182】

ステップS133では、今回、チェックしたケースは既にチェックしたケースよりタイミング的に厳しいか否か判定する。今回、チェックしたケースがタイミング的にこれまでに最悪であった場合、判定はYESとなり、ステップS134に移行して、そのケースやタイミングチェックで求めた値、及びデータ経路が満たす経路条件などを記録した後、ステップS135に移行する。その記録の際、既に記録されているものがあれば上書きする。そうでない場合には、判定はNOとなってステップS135に移行する。

## 【0183】

ステップS135では、経路の組み合わせのなかでタイミングチェックしていない組み合わせがあるか否か判定する。全ての組み合わせでタイミングチェックを行った場合、判定はNOとなり、ステップS136に移行して、記録されているタイミング的に1番厳しいケースやタイミングチェックで求めた値、データ経路が満たす経路条件などをチェック結果として特定した後、一連の処理を終了する。そうでない場合には、判定はNOとなって上記ステップS131に戻り、経路の組み合わせのなかから別のケースを選択する。

## 【0184】

上記タイミングチェック処理に続けて実行される図21のステップ5では、ステップS136で特定したチェック結果を出力装置34等に出力する。それにより、ユーザにタイミングチェックの結果が通知されることになる。

## 【0185】

通常、送り側のセルと受け側のセルの組み合わせは複数、存在している。受け側のセルが同時に送り側のセルであることもある。このことから、特に詳細な説明は省略するが、上述のタイミングチェック処理は、そのような組み合わせ毎に実行するようになっている。

## 【 0 1 8 6 】

図 3 4 は、図 2 1 に示すタイミング解析フローでステップ S 6 として実行されるパルス幅チェック用トレース処理のフローチャートである。次に図 3 4 を参照して、そのトレース処理について詳細に説明する。

## 【 0 1 8 7 】

先ず、ステップ S 1 4 1 では、始点として指定されたクロックソースから出力されるクロック信号の到達する範囲のピンを深さ優先探索などの手法により特定する処理を実行する。その次に移行するステップ S 1 4 2 では、特定した範囲内に存在するピンを始点のピンから近い順に並べ替えて処理順とする処理を実行する。

## 【 0 1 8 8 】

ステップ S 1 4 2 に続くステップ S 1 4 3 では、決定した処理順に従って、ピンにイベントを作成していく処理 5 を実行する。それにより、各ピンにイベントを作成した後、一連の処理を終了する。

## 【 0 1 8 9 】

図 3 5 は、上記ステップ S 1 4 3 として実行される処理 5 のフローチャートである。次に図 3 5 を参照して、その処理 5 について詳細に説明する。

先ず、ステップ S 1 5 1 では、始点のピンにはその直前のピン（イベント）が存在していないことから、他のピンと区別してイベントを作成する。ここでは、そのイベントである情報テーブルに、前段のイベントを示すデータであるイベント名、直前のクロックソースを示すデータであるイベント名、信号を伝搬している相を示すデータ、及び第 1 ～第 4 の総遅延差などを格納している。始点のピンでは、前段のイベントが存在していないために、前段のイベントはないことを示すデータ、直前のクロックソースを示すデータであるイベント名は自身のイベント名、相を示すデータは同相を示すデータ、第 1 ～第 4 の総遅延差としては 0 を

格納している。

【0190】

ステップS151に続くステップS152では、図34のステップS142で決定した処理順に従って、到達範囲内のピンを取り出す。次に移行するステップS153では、取り出したピンのイベントを作成するピンのイベント作成処理を実行する。その後はステップS154に移行する。

【0191】

ステップS154では、イベントを作成していないピンが存在するか否か判定する。全ての経路を考慮しつつ、全てのピンにイベントを作成した場合、判定はNOとなり、ここで一連の処理を終了する。そうでない場合には、判定はYESとなり、上記ステップS152に戻ってそれ移行の処理を同様に実行する。

【0192】

上記ステップS152～S154で形成される処理ループは、ステップS154の判定がNOとなるまで繰り返し実行される。それにより、他の経路探索時と同様に、各ピンに1つ以上のイベントが作成されることになる。

【0193】

図36は、上記ステップS153として実行されるピンのイベント作成処理のフローチャートである。次に図360を参照して、そのイベント作成処理について詳細に説明する。

【0194】

まず、ステップS161では、現在、処理対象としているピンの前段に位置する全てのピンのイベントを順に取り出す。次に移行するステップS162では、取り出した前段のイベントからピンに信号が伝搬した場合のイベントの内容を一時領域（メモリ32、或いは外部記憶装置35に確保される領域である）に作成して、内容を作成したイベントを仮イベントとする仮イベントの内容作成処理を実行する。それを実行した後はステップS163に移行する。

【0195】

上記仮イベントの内容作成処理では、前段のイベント毎に、前段のイベントを示すイベント名、直前のクロックソースを示すイベント名、及びその直前のクロ



ックソースから信号を伝搬している相を決定し、第1～第4の総遅延差を算出する。直前のクロックソースや信号の相の決定は、例えば図25に示す仮イベントの内容作成処理と同様に行っている。第1～第4の総遅延差については、上述したように、決定した相に応じて、第1～第4の遅延差、或いは第5～第8の遅延差を算出し、それら算出した遅延差を、前段のイベントが持つ第1～第4の総遅延差のなかで加算すべき総遅延差に加算することで算出している。

## 【0196】

ステップS163では、処理対象のピンに既に作成されたイベントがあるか否か判定する。ステップS162で作成する仮イベントを含め、処理対象のピンに複数のイベントが作成されている場合、判定はYESとなってステップS164に移行する。そうでない場合には、即ち処理対象のピンにイベントは作成されてなく、且つ作成した仮イベントも1つであった場合には、判定はNOとなってステップS166に移行する。

## 【0197】

ステップS164では、既に作成されているイベントのなかに仮イベントとの間で直前のクロックソース、及びそのクロックソースからの信号の相が同じものがあるか否か判定する。処理対象のピンで合成条件1、及び2を満たす複数の経路が合流している場合、判定はYESとなってステップS165に移行する。そうでない場合には、判定はNOとなってステップS166に移行する。

## 【0198】

上記ステップS161で前段のピンのイベントを複数、取り出していれば、複数の仮イベントが作成される。このことから、ステップS164では、仮イベント間でも合成条件1、2を満たすものの有無も同様に判定している。それにより、既に作成したイベント間では合成条件1、2を満たしているものは無いようにさせている。

## 【0199】

ステップS165では、合成条件1、2を満たすイベントの間で第1～第4の総遅延差をそれぞれ比較し、イベントのなかの1つが持つ第1～第4の総遅延差を、それらの間で最も値が大きい総遅延差に書き換える。そのようにして、合成

条件 1、2 を満たす複数の経路を 1 つに合成した後、一連の処理を終了する。他方のステップ S 166 では、仮イベントをイベントとしてピンに付加する。その後一連の処理を終了する。

#### 【0200】

このようにして、本実施の形態では、パルス幅を算出するために用いる第 1 ～第 4 の総遅延差を算出しつつ、経路探索のためのデータパスのトレースを行っている。合成条件 1、及び 2 を満たす複数の経路については、それらが合流するピンのイベントを作成する段階で 1 つにまとめている。

#### 【0201】

図 21 のステップ S 6 のパルス幅チェック用トレース処理の実行後は、ステップ S 7 のクロックパルス幅チェック処理が実行される。

そのパルス幅チェック処理では、例えば各経路毎に、その直前のクロックソースから出力されるクロック信号の各種パルス幅を最終的な第 1 ～第 4 の総遅延差により変形した後のパルス幅のチェックを行い、パルス幅が最悪となっている経路、その各種パルス幅などをチェック結果として特定するようになっている。そのチェック結果が、それに続くステップ S 5 の実行時に出力装置 34 等に出力される。それにより、ユーザにパルス幅チェックの結果が通知される。

#### 【0202】

なお、本実施の形態では、予め設定された経路条件、選択条件、及び合成条件のなかの 1 種類の条件を参照して経路探索を行うようになっているが、それらのうちの複数種類の条件を参照して経路探索を行うようにしても良い。具体的には例えば経路条件と選択条件、或いは経路条件と合成条件といったような条件を組み合わせ、組み合わせられた条件を参照して経路探索を行うようにしても良い。選択条件、及び合成条件については、複数の経路を 1 つにまとめるうえで満たすべき条件の組み合わせを複数、用意するようによい。

#### 【0203】

タイミング解析に用いるデータ経路やクロック経路の探索は、モード別に行っているが、必ずしもモード別に行わなくても良い。モード別に行わないようにした場合、各モードでそれぞれ条件を満たしている複数の経路が同じピンに合流す

ることも有り得る。従って、そのような場合には、条件を満たす複数の経路のなかから1つ以上の経路を選択することになる。

【0204】

本実施の形態では、経路探索以外に、その結果を用いたタイミング解析や波形解析のためのシミュレーションも行っているが、そのシミュレーションは、外部装置から経路探索結果を受け取って行うようにしても良い。そのために、経路探索を行う装置（経路探索装置）に本発明を適用しても良い。

【0205】

上述したようなシミュレーション（タイミング解析や波形解析など）、或いは経路探索を実現させるようなプログラムは、外部記憶装置35に搭載された記憶媒体に記憶させるのではなく、可搬記録媒体SMとして、CD-ROMやDVD、或いは光磁気ディスク等に記録させて配布しても良い。或いは、公衆網やLAN等で用いられる伝送媒体を介して、そのプログラムの一部、若しくは全部を配信するようにしても良い。そのようにした場合には、ユーザはプログラムを取得してコンピュータ（データ処理装置）にロードすることにより、そのコンピュータに本発明を適用させることができる。このことから、記録媒体は、プログラムを配信する装置がアクセスできるものであっても良い。

【0206】

（付記1） 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路を対象に、該電子回路上の始点のピンから終点のピンに至る信号の経路を探索するために用いられる方法であって、

前記始点のピンから前記終点のピンに至る経路のなかで他と区別すべき経路が満たしている条件を設定し、

該設定した条件を満たすか否かにより区別して、該条件によって区別される経路毎に前記始点のピンから前記終点のピンに至る経路の探索を行う、

ことを特徴とする経路探索方法。

（付記2） 前記条件によって同じ種別と区別される経路が複数、存在している場合、予め定められた選択規則に従って、該複数の経路のなかから1つを選択して残す、

ことを特徴とする付記 1 記載の経路探索方法。

(付記 3) 前記区別は、前記経路が満たす条件の種類、該条件の数、或いは該条件の組み合わせを基に行う、

ことを特徴とする付記 1、または 2 記載の経路探索方法。

(付記 4) 前記経路の探索は、前記始点のピンから 1 つずつ先のピンに進めながら、各ピン毎に、直前に位置しているピンを表すデータ、及び経路識別用の経路識別コードを少なくとも作成していくことで行い、

前記経路識別コードの値は、前記条件によって経路を区別するために、少なくとも、前記条件を満たした後には既存でない値とする、

ことを特徴とする付記 1、2、または 3 記載の経路探索方法。

(付記 5) 前記選択規則に従った経路の選択は、前記経路識別コードが一致する経路を対象に行う、

ことを特徴とする付記 4 記載の経路探索方法。

(付記 6) 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路を対象に、該電子回路上の始点のピンから終点のピンに至る信号の経路を探索するために用いられる方法であって、

前記始点のピンから前記終点のピンに至る経路のなかで合流するピンが同じ 2 つ以上の経路が存在していた場合に、該 2 つ以上の経路のなかの 1 つを選択するうえで該 2 つ以上の経路間で満たすべき条件を設定し、

前記設定した条件を満たす 2 つ以上の経路はそのなかの 1 つだけを選択して残しつつ、前記始点のピンから前記終点のピンに至る経路の探索を行う、

ことを特徴とする経路探索方法。

(付記 7) 前記条件を満たす 2 つ以上の経路のなかで遅延時間が最大、或いは最小の経路を選択する、

ことを特徴とする付記 6 記載の経路探索方法。

(付記 8) 前記始点のピンは外部入力、或いは内部生成のクロック信号を出力するクロックソースである、

ことを特徴とする付記 6、または 7 記載の経路探索方法。

(付記 9) 前記条件は、前記合流するピンの直前に位置する前記クロックソー

スが前記 2 つ以上の経路で一致し、且つ該クロックソースからのクロック信号を伝搬している相が同じであることを含む、

ことを特徴とする付記 8 記載の経路探索方法。

(付記 1 0) 前記ピン間を結ぶパスが最大遅延時間、及び最小遅延時間を持ち、前記条件を満たす 2 つ以上の経路のなかで遅延時間が最大の経路を選択する場合に、前記条件は、該 2 つ以上の経路が分岐するピンから、該分岐するピンの直後に位置する前記合流するピンまでの区間を対象にして、該 2 つ以上の経路のうちの 1 つでパスの最小遅延時間を用いて算出される該区間の遅延時間が、該 2 つ以上の経路の他の経路でパスの最大遅延時間を用いて算出される該区間の遅延時間以上となる関係を含む、

ことを特徴とする付記 7、8、または 9 記載の経路探索方法。

(付記 1 1) 前記ピン間を結ぶパスが最大遅延時間、及び最小遅延時間を持ち、前記条件を満たす 2 つ以上の経路のなかで遅延時間が最小の経路を選択する場合に、前記条件は、該 2 つ以上の経路が分岐するピンから、該分岐するピンの直後に位置する前記合流するピンまでの区間を対象にして、該 2 つ以上の経路のうちの 1 つでパスの最大遅延時間を用いて算出される該区間の遅延時間が、該 2 つ以上の経路の他の経路でパスの最小遅延時間を用いて算出される該区間の遅延時間以下となる関係を含む、

ことを特徴とする付記 7、8、または 9 記載の経路探索方法。

(付記 1 2) 前記ピン間を結ぶパスが最大遅延時間、及び最小遅延時間を持ち、前記条件を満たす 2 つ以上の経路のなかで遅延時間が最大の経路を選択する場合に、前記条件は、該 2 つ以上の経路が分岐するピンから、該分岐するピンの直後に位置する前記合流するピンまでの区間を対象にして、該 2 つ以上の経路のうちの 1 つで該分岐するピンから該合流するピンの直前に位置する他の分岐するピンまではパスの最小遅延時間、該他の分岐するピンから該合流するピンまではピンの最大遅延時間を用いて算出される該区間の遅延時間が、該 2 つ以上の経路の他の経路でパスの最大遅延時間を用いて算出される該区間の遅延時間以上となる関係を含む、

ことを特徴とする付記 7、8、または 9 記載の経路探索方法。

(付記 1 3) 前記ピン間を結ぶパスが最大遅延時間、及び最小遅延時間を持ち、前記条件を満たす 2 つ以上の経路のなかで遅延時間が最小の経路を選択する場合に、前記条件は、該 2 つ以上の経路が分岐するピンから、該分岐するピンの直後に位置する前記合流するピンまでの区間を対象にして、該 2 つ以上の経路のうちの 1 つで該分岐するピンから該合流するピンの直前に位置する他の分岐するピンまではパスの最大遅延時間、該他の分岐するピンから該合流するピンまではピンの最小遅延時間を用いて算出される該区間の遅延時間が、該 2 つ以上の経路の他の経路でパスの最小遅延時間を用いて算出される該区間の遅延時間以上となる関係を含む、

ことを特徴とする付記 7、8、または 9 記載の経路探索方法。

(付記 1 4) 前記経路の探索は、前記始点のピンから 1 つずつ先のピンに進めながら、各ピン毎に、直前に位置しているピンを表すデータ、及び経路識別用の経路識別コードを少なくとも作成していくことで行い、

前記経路識別コードの値は、少なくとも、前記始点以外のクロックソースであるピンの先に進めた後には既存でない値とする、

ことを特徴とする付記 8 ～ 1 3 の何れか 1 項に記載の経路探索方法。

(付記 1 5) 前記条件は、前記経路識別コードが一致することを含む、

ことを特徴とする付記 1 4 記載の経路探索方法。

(付記 1 6) 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路を対象に、該電子回路上の始点のピンから終点のピンに至る信号の経路を探索するために用いられる方法であって、

前記始点のピンから前記終点のピンに至る経路のなかで合流するピンが同じ 2 つ以上の経路が存在していた場合に、該 2 つ以上の経路を 1 つに合成するうえで該 2 つ以上の経路間で満たすべき条件を設定し、

前記設定した条件を満たす 2 つ以上の経路は 1 つに合成しつつ、前記始点のピンから前記終点のピンに至る経路の探索を行う、

ことを特徴とする経路探索方法。

(付記 1 7) 前記経路の探索は、前記始点のピンから前記終点のピンに向けて 1 つずつ先のピンに進めながら、各ピン毎に、直前に位置しているピンを表すデ

ータ、及び前記信号の波形解析を行うための解析用情報を少なくとも作成していくことで行い、

前記設定した条件を満たす2つ以上の経路の合成は、該2つ以上の経路でそれぞれ作成される解析用情報をまとめることで行う、

ことを特徴とする付記16記載の経路探索方法。

(付記18) 前記始点のピンが外部入力、或いは内部生成のクロック信号を出力するクロックソースであった場合に、前記条件は、前記合流するピンの直前に位置する前記クロックソースが前記2つ以上の経路で一致し、且つ該クロックソースからのクロック信号を伝搬している相が同じであることを含む、

ことを特徴とする付記16、または17記載の経路探索方法。

(付記19) 前記解析用情報は、直前に位置するクロックソースからのクロック信号を伝搬する相を表すデータ、及び該クロック信号のパルス幅を算出するための遅延データを少なくとも含む、

ことを特徴とする付記17記載の経路探索方法。

(付記20) 前記パス間を結ぶパスが最大遅延時間、及び最小遅延時間を持ち、前記クロック信号が伝搬する相が前記直前に位置するピンと同じであった場合、該直前に位置するピンとの遅延差として、該クロック信号の立ち上がりから立ち上がりで伝搬するのに要する最大の遅延時間から最小の遅延時間を減算することで算出される始点の遅延差、該クロック信号の立ち上がりから立ち上がりで伝搬するのに要する最大の遅延時間から、該クロック信号の立ち下がりから立ち下がりで伝搬するのに要する最小の遅延時間を減算することで算出される終点の遅延差、該クロック信号の立ち下がりから立ち下がりで伝搬するのに要する最大の遅延時間から、該クロック信号の立ち上がりから立ち上がりで伝搬するのに要する最小の遅延時間を減算することで算出される第3の遅延差、及び該クロック信号の立ち下がりから立ち下がりで伝搬するのに要する最大の遅延時間から最小の遅延時間を減算することで算出される第4の遅延差、の少なくとも1つを算出し、

前記遅延データは、該始点～第4の遅延差のうちの1つを加算の対象とする総遅延差を1つ以上有し、

前記遅延データの作成は、該始点～第4の遅延差のなかで算出した遅延差を、前記直前に位置するピンで作成された遅延データのなかで加算すべき総遅延差に加算することで行う、

ことを特徴とする付記19記載の経路探索方法。

(付記21) 前記パス間を結ぶパスが最大遅延時間、及び最小遅延時間を持ち、前記クロック信号が伝搬する相が前記直前に位置するピンと逆であった場合、該直前に位置するピンとの遅延差として、該クロック信号の立ち下がりから立ち上がりで伝搬するのに要する最大の遅延時間から最小の遅延時間を減算することで算出される第5の遅延差、該クロック信号の立ち下がりから立ち上がりで伝搬するのに要する最大の遅延時間から、該クロック信号の立ち上がりから立ち下がりで伝搬するのに要する最小の遅延時間を減算することで算出される第6の遅延差、該クロック信号の立ち上がりから立ち下がりで伝搬するのに要する最大の遅延時間から、該クロック信号の立ち下がりから立ち上がりで伝搬するのに要する最小の遅延時間を減算することで算出される第7の遅延差、及び該クロック信号の立ち上がりから立ち下がりで伝搬するのに要する最大の遅延時間から最小の遅延時間を減算することで算出される第8の遅延差、の少なくとも1つを算出し、

前記遅延データは、該第5～第8の遅延差のうちの1つを加算の対象とする総遅延差を1つ以上有し、

前記遅延データの作成は、該第5～第8の遅延差のなかで算出した遅延差を、前記直前に位置するピンで作成された遅延データのなかで加算すべき総遅延差に加算することで行う、

ことを特徴とする付記19記載の経路探索方法。

(付記22) 前記設定した条件を満たす2つ以上の経路の合成は、該2つ以上の経路でそれぞれ前記遅延データとして作成した遅延差の種類別に、該遅延差が最大、或いは最小の遅延差を選択することで行う、

ことを特徴とする付記20、または21記載の経路探索方法。

(付記23) 前記解析用情報を作成するピンの直前に位置するピンが前記始点のピン以外のクロックソースであった場合、前記相を表すデータは同相を表すデータとし、前記遅延データを構成する総遅延差の値は予め定めた初期値とする、



ことを特徴とする付記 1 9 ～ 2 2 の何れか 1 項に記載の経路探索方法。

(付記 2 4) 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路を対象に、該電子回路上の始点のピンから終点のピンに至る信号の経路を探索するために用いられる方法であって、

前記始点のピンから前記終点のピンに至る経路のなかで合流するピンが同じ 2 つ以上の経路が存在していた場合に、該 2 つ以上の経路を 1 つに合成するうえで該 2 つ以上の経路間で満たすべき条件を設定し、

前記始点のピンから 1 つずつ先のピンに進めながら、各ピン毎に、前記設定した条件を満たす 2 つ以上の経路が合流するか否か確認し、

該確認によって、前記設定した条件を満たす 2 つ以上の経路が合流することが判明した場合に、該 2 つ以上の経路のうちの 1 つを選択して残しつつ、前記始点のピンから前記終点のピンに至る経路の探索を行う、

ことを特徴とする経路探索方法。

(付記 2 5) 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路の動作検証用のタイミング解析を行うために用いられる方法であって、

予め設定された第 1 の条件を満たすか否かにより区別しつつ、前記電子回路上でデータ信号が伝搬するデータ経路を探索して前記タイミング解析に用いるデータ経路を抽出し、

予め設定された第 2 の条件を満たすか否かに応じて、前記電子回路上でクロック信号が伝搬するクロック経路のなかで合流するピンが同じ 2 つ以上のクロック経路から 1 つを選択して残しつつ、該クロック信号が伝搬するクロック経路を探索して前記タイミング解析に用いるクロック経路を抽出し、

前記抽出したデータ経路、及びクロック経路のそれぞれの組み合わせ毎に前記タイミング解析を行う、

ことを特徴とするタイミング解析方法。

(付記 2 6) 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路の動作検証用の波形解析を行うために用いられる方法であって、

予め設定された条件を満たすか否かに応じて、前記電子回路上でクロック信号

が伝搬するクロック経路のなかで合流するピンが同じ2つ以上のクロック経路の合成、及び該クロック信号の波形解析を行うための解析用情報のピン毎の作成を行いつつ、該クロック信号が伝搬するクロック経路を探索して前記波形解析に用いるクロック経路を抽出し、

前記抽出したクロック経路で作成した前記解析用情報を用いて、該クロック経路を伝搬するクロック信号のパルス幅を確認する波形解析を行う、

ことを特徴とする波形解析方法。

(付記27) 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路の動作検証用のシミュレーションを行う装置であって、

予め設定された第1の条件を満たすか否かにより区別しつつ、前記電子回路上でデータ信号が伝搬するデータ経路を探索することで抽出されたデータ経路を示す始点の経路データを取得する始点の経路データ取得手段と、

予め設定された第2の条件を満たすか否かに応じて、前記電子回路上でクロック信号が伝搬するクロック経路のなかで合流するピンが同じ2つ以上のクロック経路から1つを選択して残しつつ、該クロック信号が伝搬するクロック経路を探索することで抽出されたクロック経路を示す終点の経路データを取得する終点の経路データ取得手段と、

前記始点、及び終点の経路データ取得手段がそれぞれ取得した前記始点、及び終点の経路データを用いて、前記動作検証用のタイミング解析を行うシミュレーション手段と、

を具備することを特徴とする電子回路シミュレーション装置。

(付記28) 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路の動作検証用のシミュレーションを行う装置であって、

予め設定された条件を満たすか否かに応じて、前記電子回路上でクロック信号が伝搬するクロック経路のなかで合流するピンが同じ2つ以上のクロック経路の合成、及び該クロック信号の波形解析を行うための解析用情報のピン毎の作成を行いつつ、該クロック信号が伝搬するクロック経路を探索することで抽出されたクロック経路を示す経路データを取得する経路データ取得手段と、

前記経路データ取得手段が取得した前記経路データで示されるピンの解析用情

報を用いて、前記クロック信号のパルス幅を確認する波形解析を行うシミュレーション手段と、

を具備することを特徴とする電子回路シミュレーション装置。

(付記 2 9) 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路を対象に、該電子回路上の始点のピンから終点のピンに至る信号の経路を探索する経路探索装置で実行されるプログラムであって、

前記始点のピンから前記終点のピンに至る経路のなかで他と区別すべき経路が満たしている条件を設定する機能と、

前記設定する機能により設定した条件を満たすか否かにより区別して、該条件によって区別される経路毎に前記始点のピンから前記終点のピンに至る経路の探索を行う機能と、

を実現させるプログラム。

(付記 3 0) 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路を対象に、該電子回路上の始点のピンから終点のピンに至る信号の経路を探索する経路探索装置で実行されるプログラムであって、

前記始点のピンから前記終点のピンに至る経路のなかで合流するピンが同じ 2 つ以上の経路が存在していた場合に、該 2 つ以上の経路のなかの 1 つを選択するうえで該 2 つ以上の経路間で満たすべき条件を設定する機能と、

前記設定する機能により設定した条件を満たす 2 つ以上の経路はそのなかの 1 つだけを選択して残しつつ、前記始点のピンから前記終点のピンに至る経路の探索を行う機能と、

を実現させるプログラム。

(付記 3 1) 予め設計用に登録された基本素子であるセルを組み合わせて設計された電子回路を対象に、該電子回路上の始点のピンから終点のピンに至る信号の経路を探索する経路探索装置で実行されるプログラムであって、

前記始点のピンから前記終点のピンに至る経路のなかで合流するピンが同じ 2 つ以上の経路が存在していた場合に、該 2 つ以上の経路を 1 つに合成するうえで該 2 つ以上の経路間で満たすべき条件を設定する機能と、

前記設定する機能により設定した条件を満たす 2 つ以上の経路は 1 つに合成し

つつ、前記始点のピンから前記終点のピンに至る経路の探索を行う機能と、  
を実現させるプログラム。

【0207】

【発明の効果】

以上説明したように本発明は、始点のピンから終点のピンに至る経路のなかで他と区別すべき経路が満たしている条件を設定し、その設定した条件を満たすか否かにより区別して、その条件によって区別される経路毎に始点のピンから終点のピンに至る経路の探索を行う。このため、満たす条件によって区別される経路の種類別に経路を抽出することができる。

【0208】

本発明は、始点のピンから終点のピンに至る経路のなかで合流するピンが同じ2つ以上の経路を対象に、その2つ以上の経路のなかの1つを選択する（或いは合成する）うえでそれらの間で満たすべき条件を設定し、その設定した条件を満たす2つ以上の経路はそのなかの1つだけを選択して残しつつ（或いはそれらを合成しつつ）、始点のピンから終点のピンに至る経路の探索を行う。このため、全ての経路を考慮しつつ、残す必要が考えられない経路を経路探索の段階で排除させることができる。

【0209】

上述したようにして行う経路探索では、何れも、シミュレーション（タイミング解析や波形解析など）で考慮する必要が考えられる経路を排除することなく、抽出する経路の数を最小限に抑えることができる。このため、それら経路探索の結果を用いて行うシミュレーションを常に高精度に行うことができ、その処理のために要するメモリ容量の低減や処理時間の短縮も実現させることができる。たとえシミュレーションに用いる経路探索の結果の一つとして用いたとしても、その精度をより向上させることができるだけでなく、メモリ容量の低減や処理時間の短縮の実現にも効果が得られる。

【0210】

請求項1に記載の発明では、始点のピンから終点のピンに至る経路を探索する際に、設定された条件を満たすか否かによって経路を区別し、満たしている条件

が同じ複数の経路はそのなかの 1 つを代表させる。このため、必要な経路を残しつつ、抽出する経路の数を低減させることができる。経路は満たす条件によって区別しているため、満たす条件によって処理内容を切り換えることも容易に行うことができる。

【 0 2 1 1 】

請求項 2、及び 3 に記載の発明では、共に、解析結果が最悪となる可能性のある経路は確実に残しつつ、抽出する経路の数を低減させることができる。このため、解析結果の精度を低下させることなく、処理時間の短縮や、その処理に要するメモリ容量の低減を実現させることができる。

【 0 2 1 2 】

経路を伝搬する信号の波形解析を行うための解析用情報を作成しながら、経路探索を行った場合には、その波形解析をより容易、且つ迅速に行うことができるようになる。

【 0 2 1 3 】

このようなことから、本発明は、大規模化、経路が複雑化しつつある電子回路の設計を支援するうえで非常に有効である。

【図面の簡単な説明】

【図 1】

本発明の原理構成図である。

【図 2】

本発明のプログラムの原理構成図である。

【図 3】

本実施の形態による電子回路シミュレーション装置を搭載した CAD 装置の構成図である。

【図 4】

セルとピンの関係を説明する図である。

【図 5】

クロックパス、データパスを説明する図である。

【図 6】

電子回路上でデータパスによって接続されたピン間の接続関係を示すグラフである。

【図 7】

図 6 のグラフにおいて、経路条件中で指定されたピンを示す図である。

【図 8】

図 6 のグラフにおいて、データパスを 1 つ先に進めたときに作成しているイベントを説明する図である。

【図 9】

図 6 のグラフにおいて、データパスを 2 つ先に進めたときに作成しているイベントを説明する図である。

【図 1 0】

図 6 のグラフにおいて、データパスを 3 つ先に進めたときに作成しているイベントを説明する図である。

【図 1 1】

図 6 のグラフにおいて、データパスを最後まで進めたときに作成しているイベントを説明する図である。

【図 1 2】

クロック信号が伝搬する経路を対象にした経路探索方法の原理を説明するための図である（その 1）。

【図 1 3】

クロック信号が伝搬する経路を対象にした経路探索方法の原理を説明するための図である（その 2）。

【図 1 4】

クロック信号が伝搬する経路を対象にした経路探索方法の原理を説明するための図である（その 3）。

【図 1 5】

クロック信号が伝搬する経路を対象にした経路探索例を説明するための図である（その 1）。

【図 1 6】

クロック信号が伝搬する経路を対象にした経路探索例を説明するための図である（その２）。

【図 1 7】

クロック信号が伝搬する経路を対象にした経路探索例を説明するための図である（その３）。

【図 1 8】

クロック信号が伝搬する経路を対象にした経路探索例を説明するための図である（その４）。

【図 1 9】

経路探索によって抽出された経路を説明する図である。

【図 2 0】

パルス幅チェック用の経路探索を説明するための図である。

【図 2 1】

タイミング解析フローを示す図である。

【図 2 2】

クロックパストレース処理のフローチャートである。

【図 2 3】

処理 3 のフローチャートである。

【図 2 4】

ピンのイベント作成処理のフローチャートである。

【図 2 5】

仮イベントの内容作成処理のフローチャートである。

【図 2 6】

経路識別コード、直前のクロックソースの決定処理のフローチャートである。

【図 2 7】

信号伝搬の相決定処理のフローチャートである。

【図 2 8】

データパストレース処理のフローチャートである。

【図 2 9】

処理 4 のフローチャートである。

【図 3 0】

処理 4 におけるピンのイベント作成処理のフローチャートである。

【図 3 1】

S 1 0 2 の仮イベントの内容作成処理のフローチャートである。

【図 3 2】

経路識別コードの決定処理のフローチャートである。

【図 3 3】

タイミングチェック処理のフローチャートである。

【図 3 4】

パルス幅チェック用トレース処理のフローチャートである。

【図 3 5】

処理 5 のフローチャートである。

【図 3 6】

処理 5 におけるピンのイベント作成処理のフローチャートである。

【図 3 7】

タイミング解析を説明するための図である。

【符号の説明】

- 1 1 電子回路シミュレーション装置
- 1 2 経路探索装置
- 1 3 タイミング解析手段
- 1 4 クロック経路探索手段
- 1 5 データ経路探索手段
- 1 6 パルス幅チェック用経路探索手段
- 2 1 プログラム
- 2 2 クロック経路探索用ルーチン
- 2 3 データ経路探索用ルーチン
- 2 4 パルス幅チェック用経路探索ルーチン
- 2 5 ～ 2 7 条件群

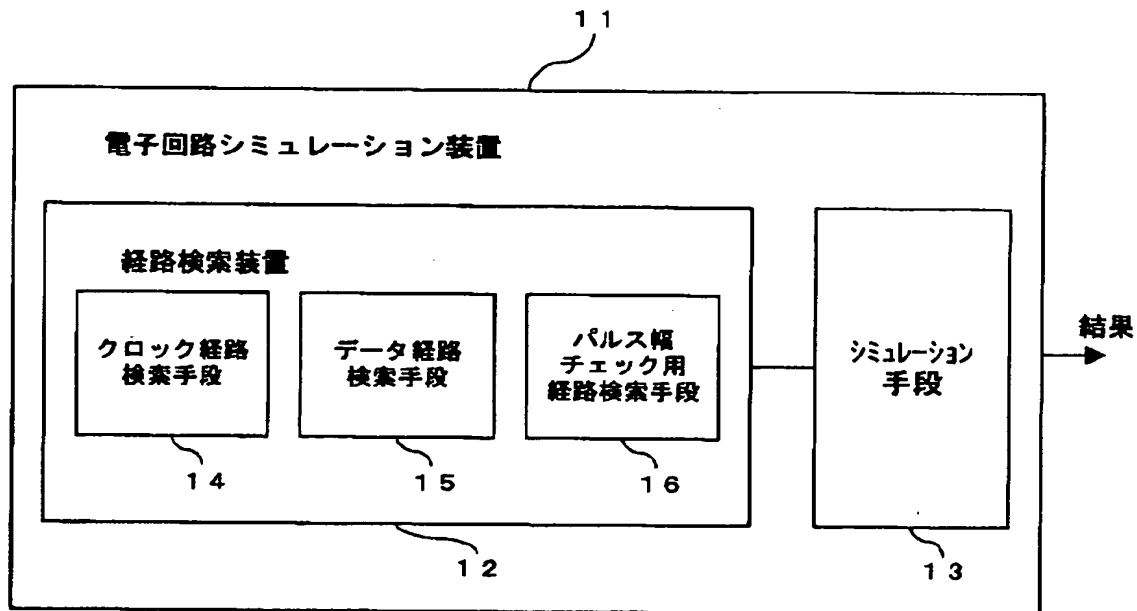


DB 1      ライブラリ  
DB 2      ネットリスト  
DB 3      配線長データベース

【書類名】 図面

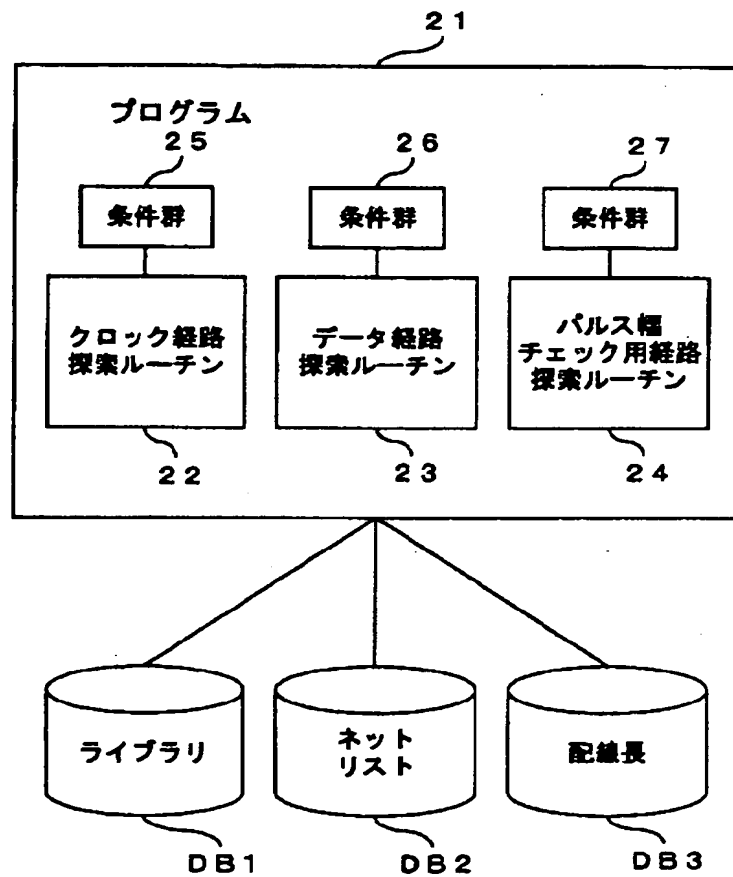
【図 1】

本発明の原理構成図



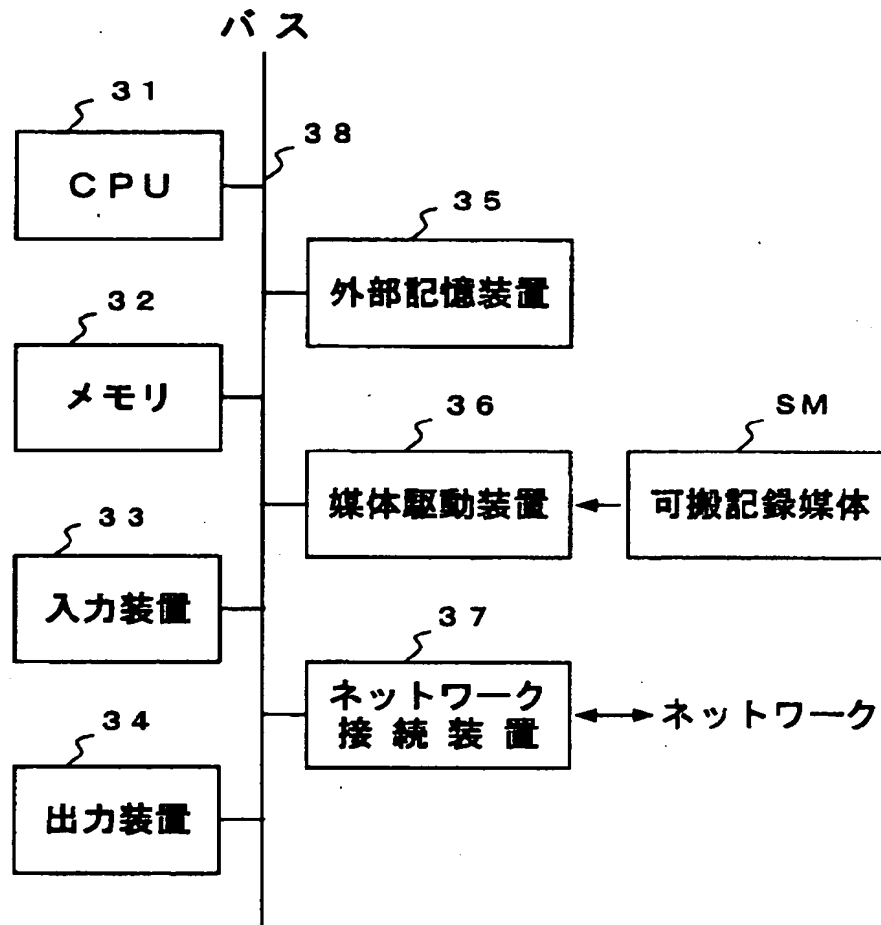
【図 2】

本発明のプログラムの原理構成図



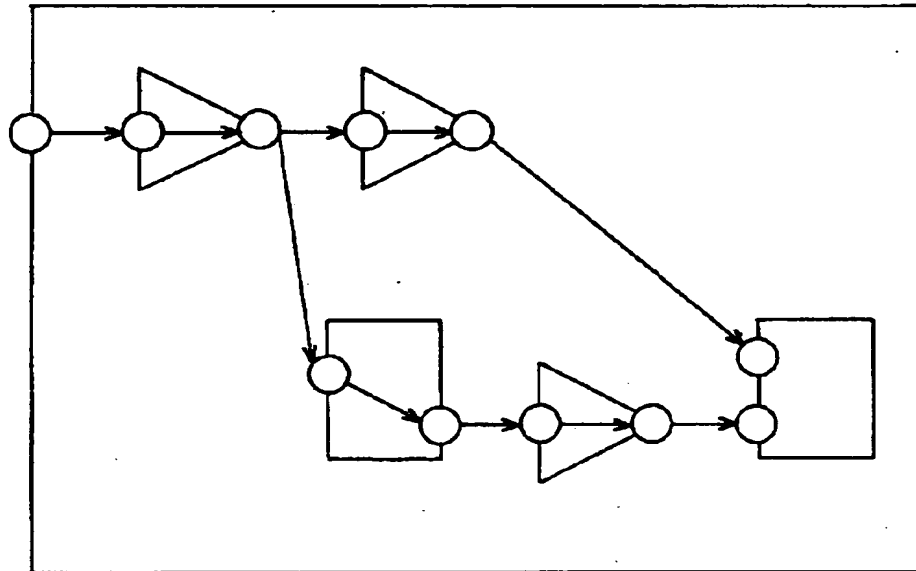
【図 3】

本実施の形態による電子回路シミュレーション装置を  
搭載したCAD装置の構成図



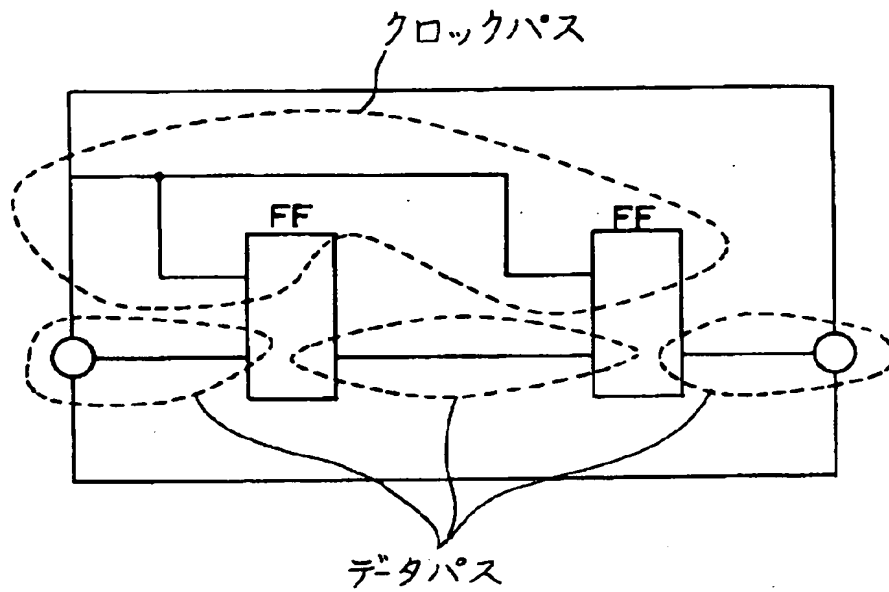
【図 4】

セルとピンの関係を説明する図



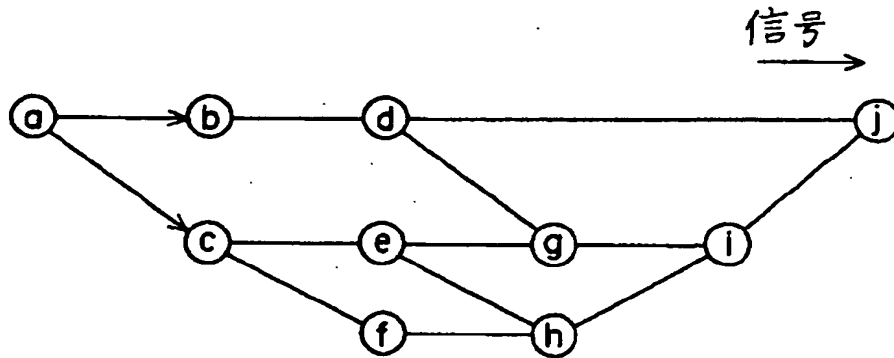
【図 5】

クロックパス、データパスを説明する図



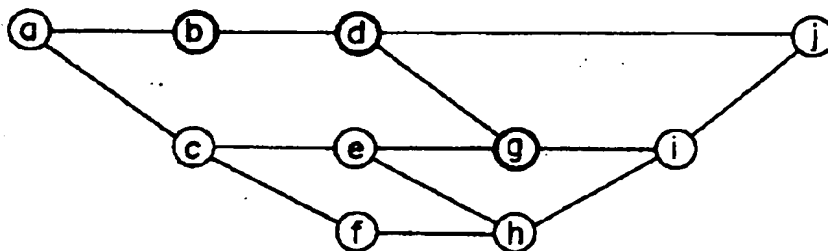
【図 6】

電子回路上でデータバスによって接続された  
ピン間の接続関係を示すグラフ



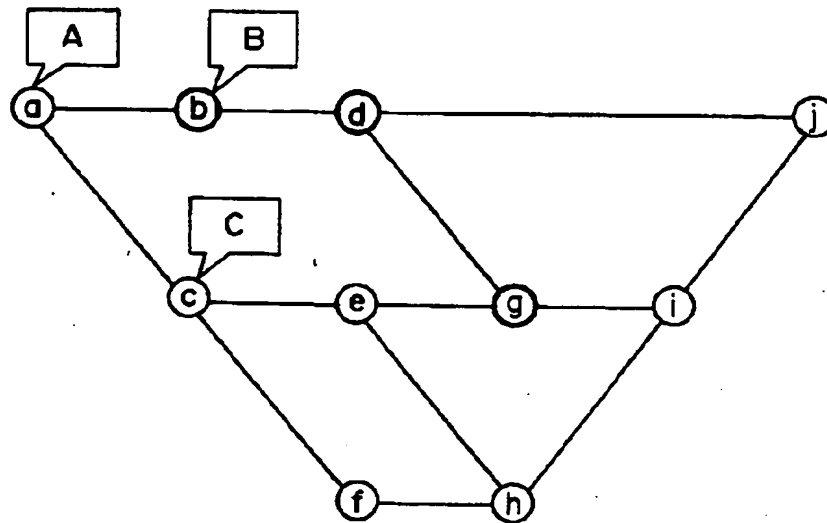
【図 7】

図 6 のグラフにおいて経路条件中で指定された  
ピンを示す図



【図 8】

図 6 のグラフにおいて、データパスを 1 つ先に進めたときに作成しているイベントを説明する図



(a) ピンに作成しているイベント

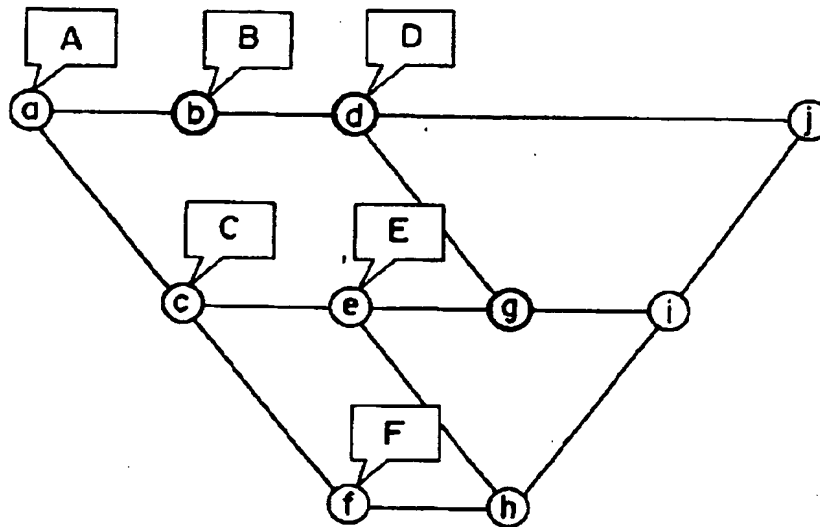
イベント	前段のイベント	経路識別コード
A	なし	0
B	A	0
C	A	0

(b) イベント情報の内容



【図 9】

図 6 のグラフにおいて、データパスを 2 つ先に  
進めたときに作成しているイベントを説明する図



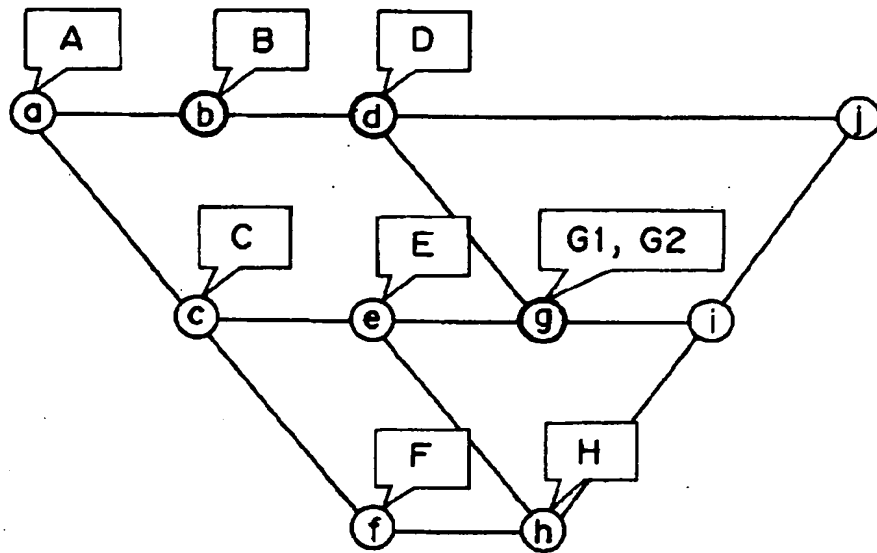
(a) ピンに作成しているイベント

イベント	前段のイベント	経路識別コード
A	なし	0
B	A	0
C	A	0
D	B	1
E	C	0
F	C	0

(b) イベント情報の内容

【図10】

図6のグラフにおいて、データパスを3つ先に進めたときに作成しているイベントを説明する図



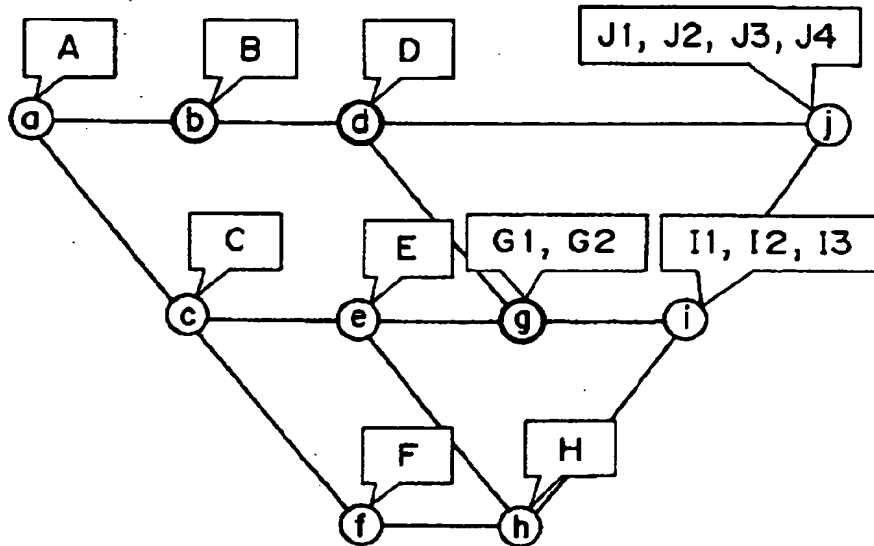
(a) ピンに作成しているイベント

イベント	前 段	経路識別コード
A	なし	0
B	A	0
C	A	0
D	B	1
E	C	0
F	C	0
G1	D	2
G2	E	0
H	F	0

(b) イベント情報の内容

【図11】

図6のグラフにおいて、データバスを最後まで進めたときに作成しているイベントを説明する図



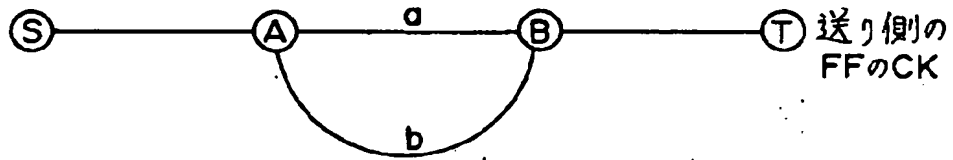
(a) ピンに作成しているイベント

イベント	前段	経路識別コード
A	なし	0
B	A	0
C	A	0
D	B	1
E	C	0
F	C	0
G1	D	2
G2	E	0
H	F	0
I1	G1	3
I2	G2	4
I3	H	0
J1	D	5
J2	I1	3
J3	I2	4
J4	I3	0

(b) イベント情報の内容

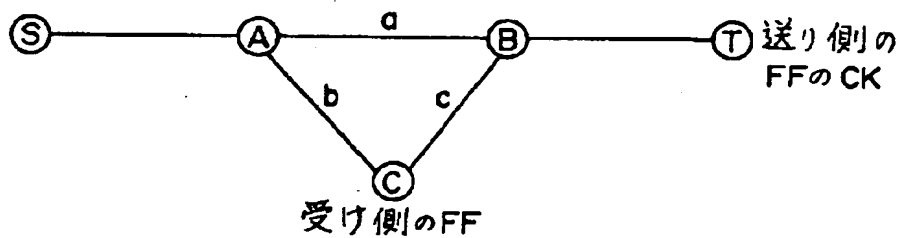
【図 1 2】

クロック信号が伝搬する経路を対象にした  
経路探索方法の原理を説明するための図 (その 1)



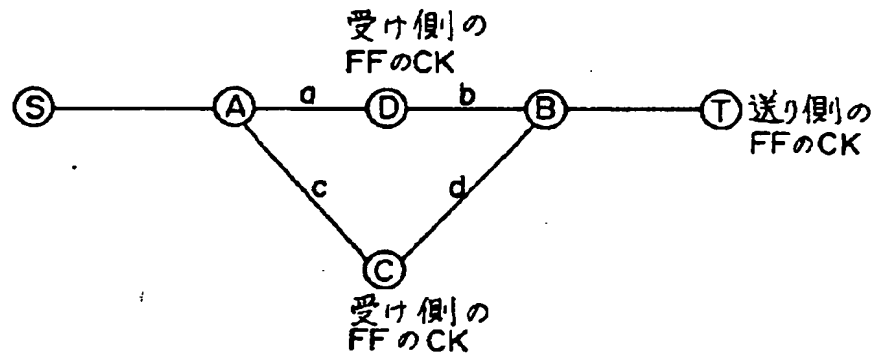
【図 1 3】

クロック信号が伝搬する経路を対象にした  
経路探索方法の原理を説明するための図 (その 2)



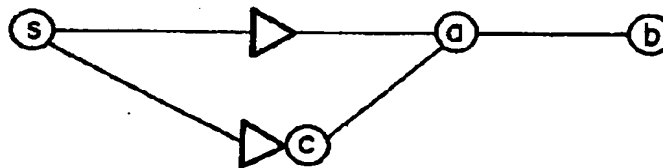
【図14】

クロック信号が伝搬する経路を対象にした  
経路探索方法の原理を説明するための図(その3)



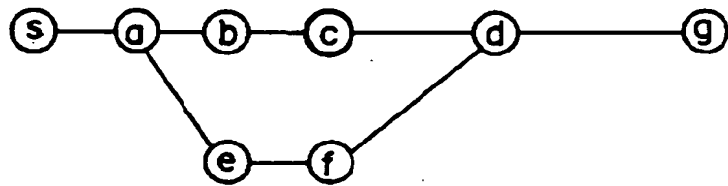
【図15】

クロック信号が伝搬する経路を対象にした  
経路探索例を説明するための図(その1)



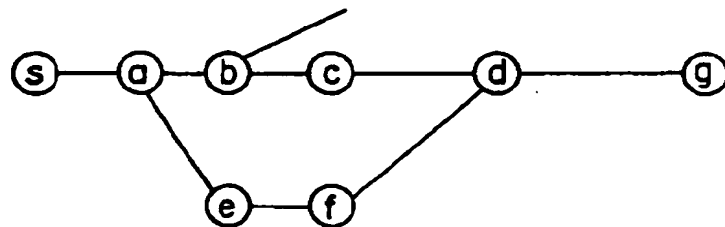
【図 1 6】

クロック信号が伝搬する経路を対象にした  
経路探索例を説明するための図 (その2)



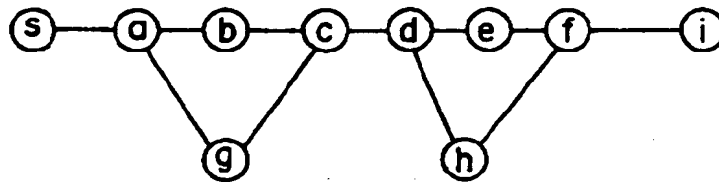
【図 1 7】

クロック信号が伝搬する経路を対象にした  
経路探索例を説明するための図 (その3)



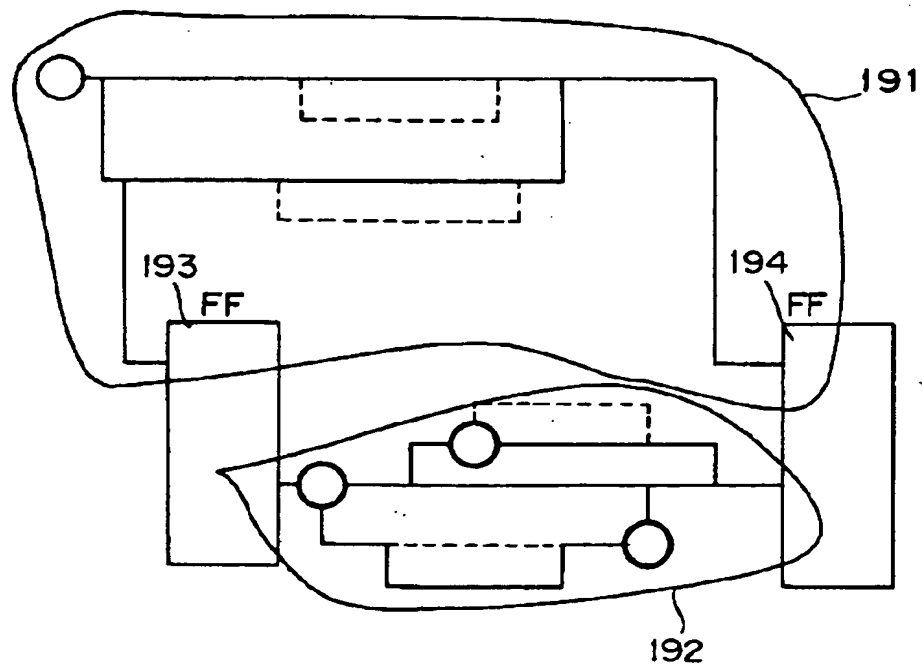
【図18】

クロック信号が伝搬する経路を対象にした  
経路探索例を説明するための図 (その4)



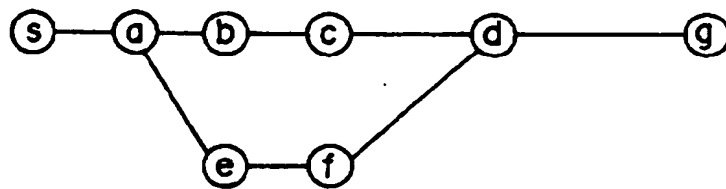
【図19】

経路探索によって抽出された経路を説明する図



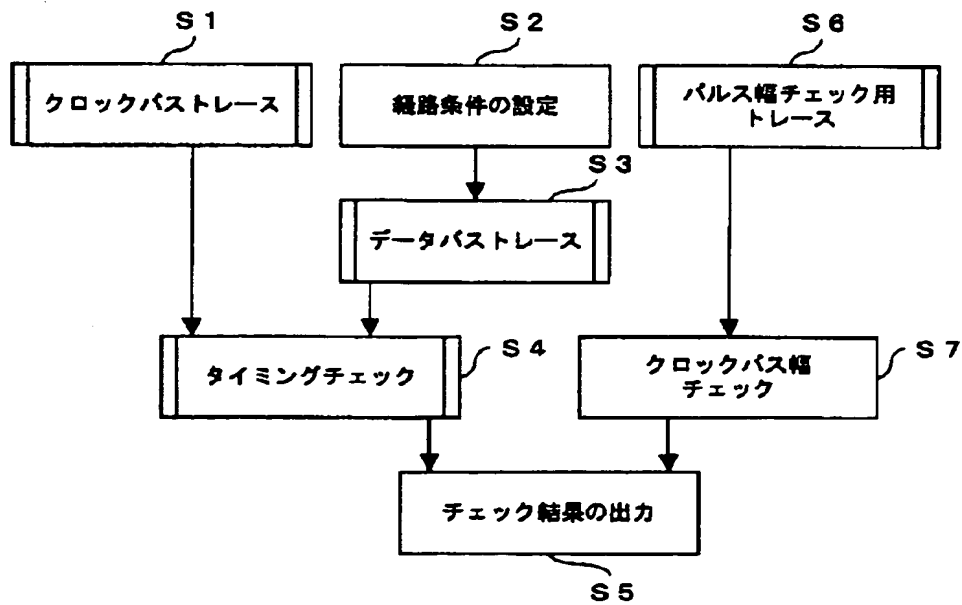
【図 20】

パルス幅チェック用の経路探索を  
説明するための図



【図 21】

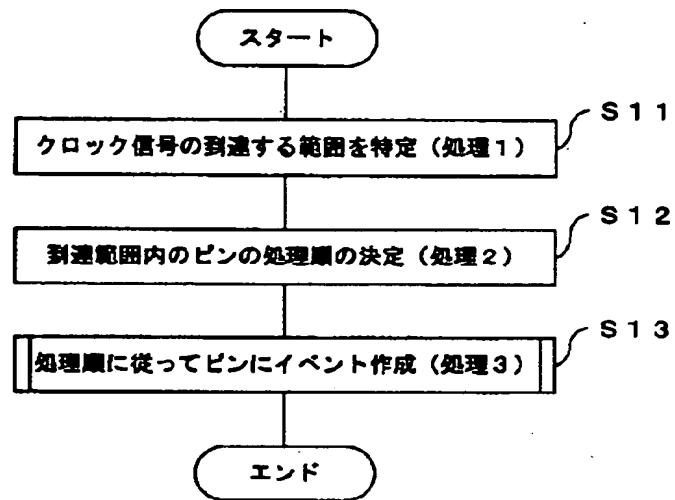
タイミング解析フローを示す図





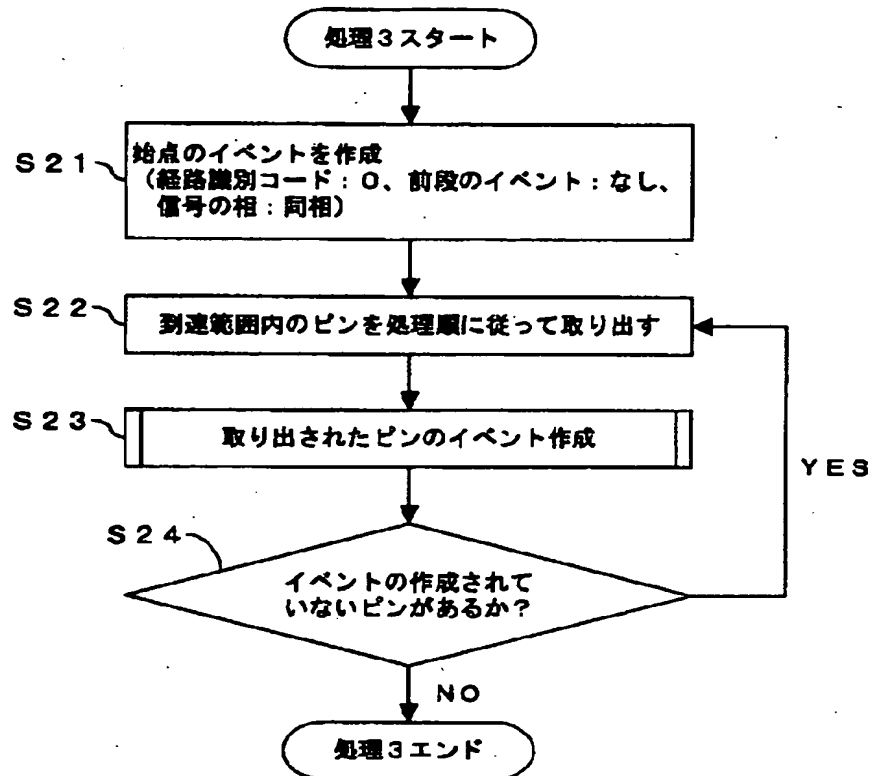
【図 2 2】

# クロックパストレース処理のフローチャート



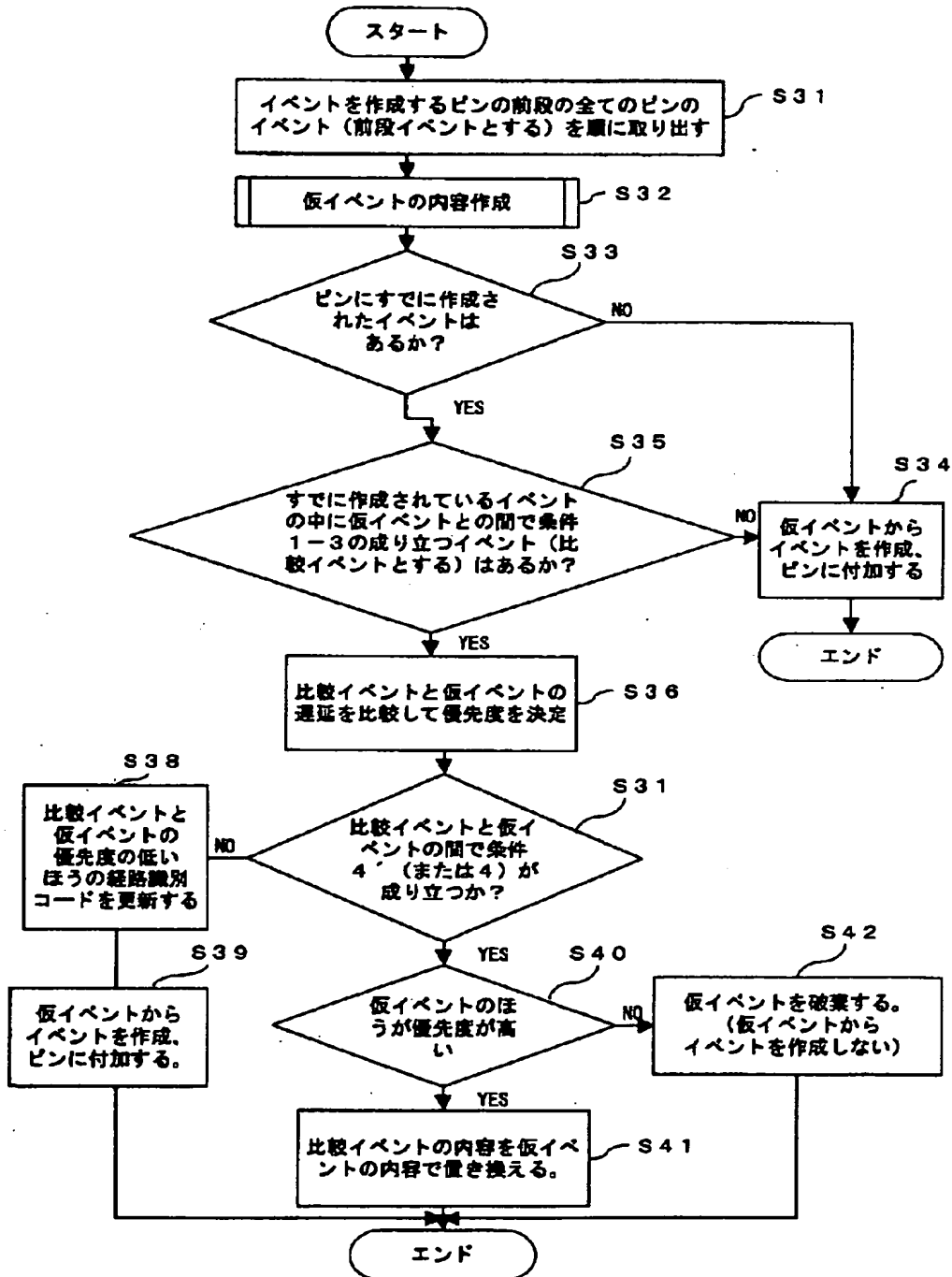
【図 2 3】

# 処理 3 のフローチャート



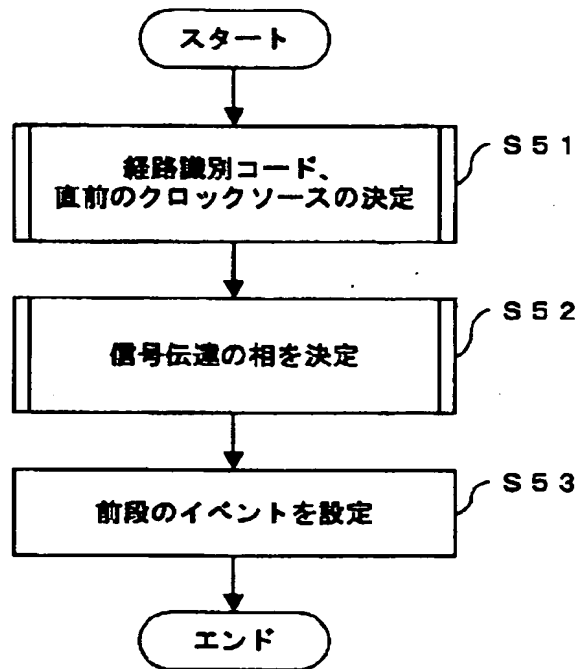
【図 24】

ピンのイベント作成処理のフローチャート



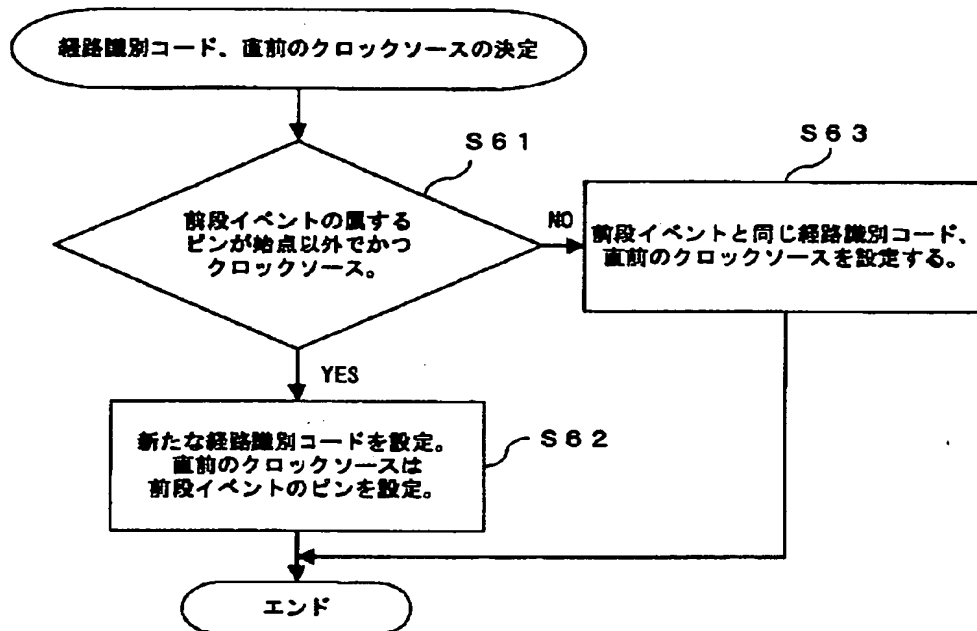
【図 25】

仮イベントの内容作成処理のフローチャート



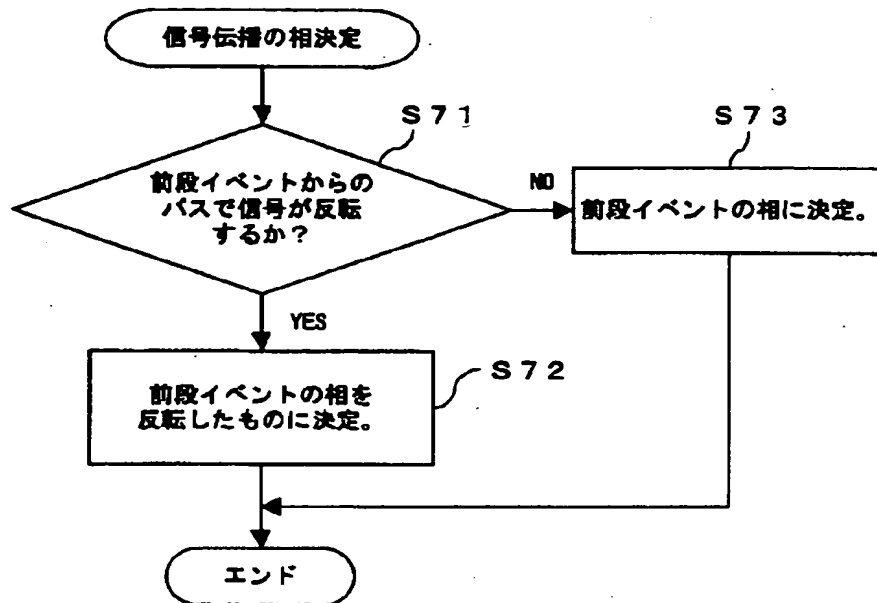
【図 2 6】

経路識別コード、直前のクロックソースの  
決定処理のフローチャート



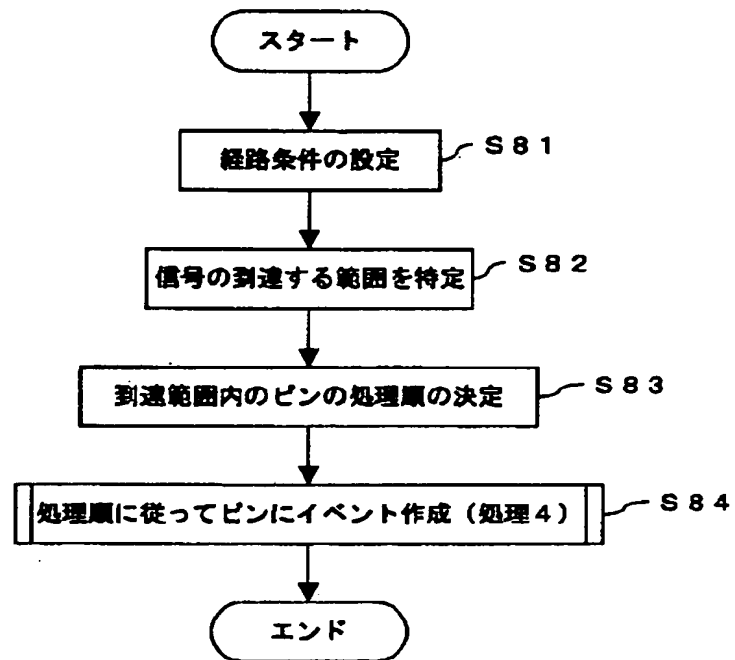
【図 27】

信号伝搬の相決定処理のフローチャート



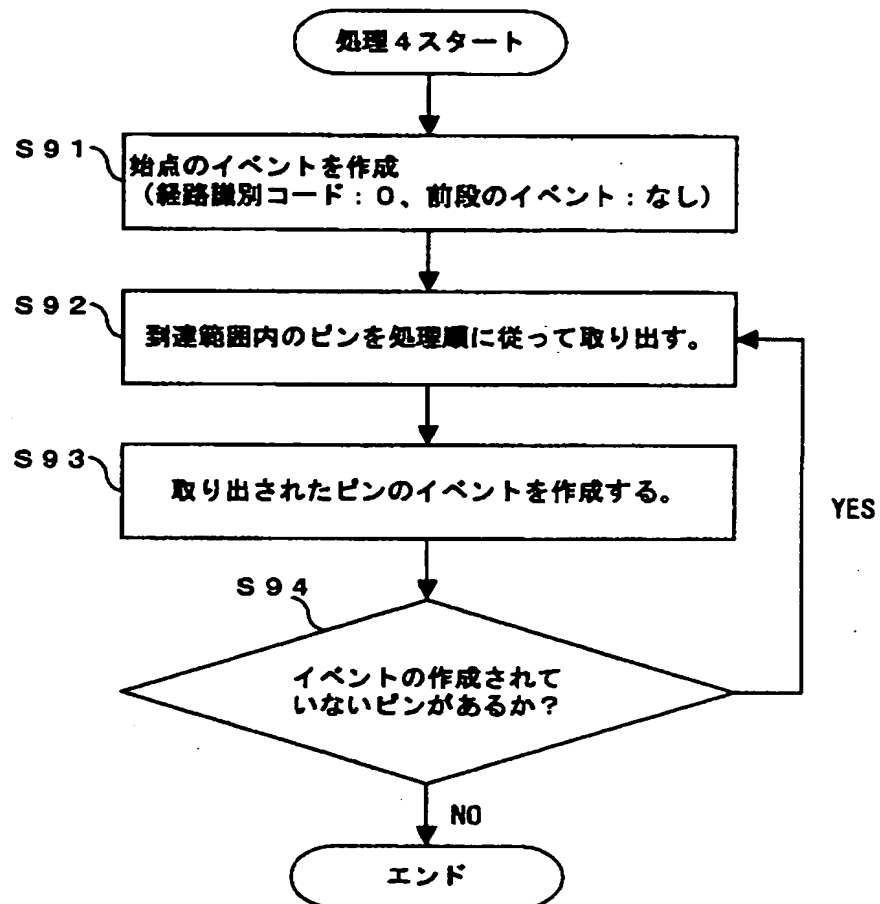
【図 2 8】

## データパストレース処理のフローチャート



【図 2 9】

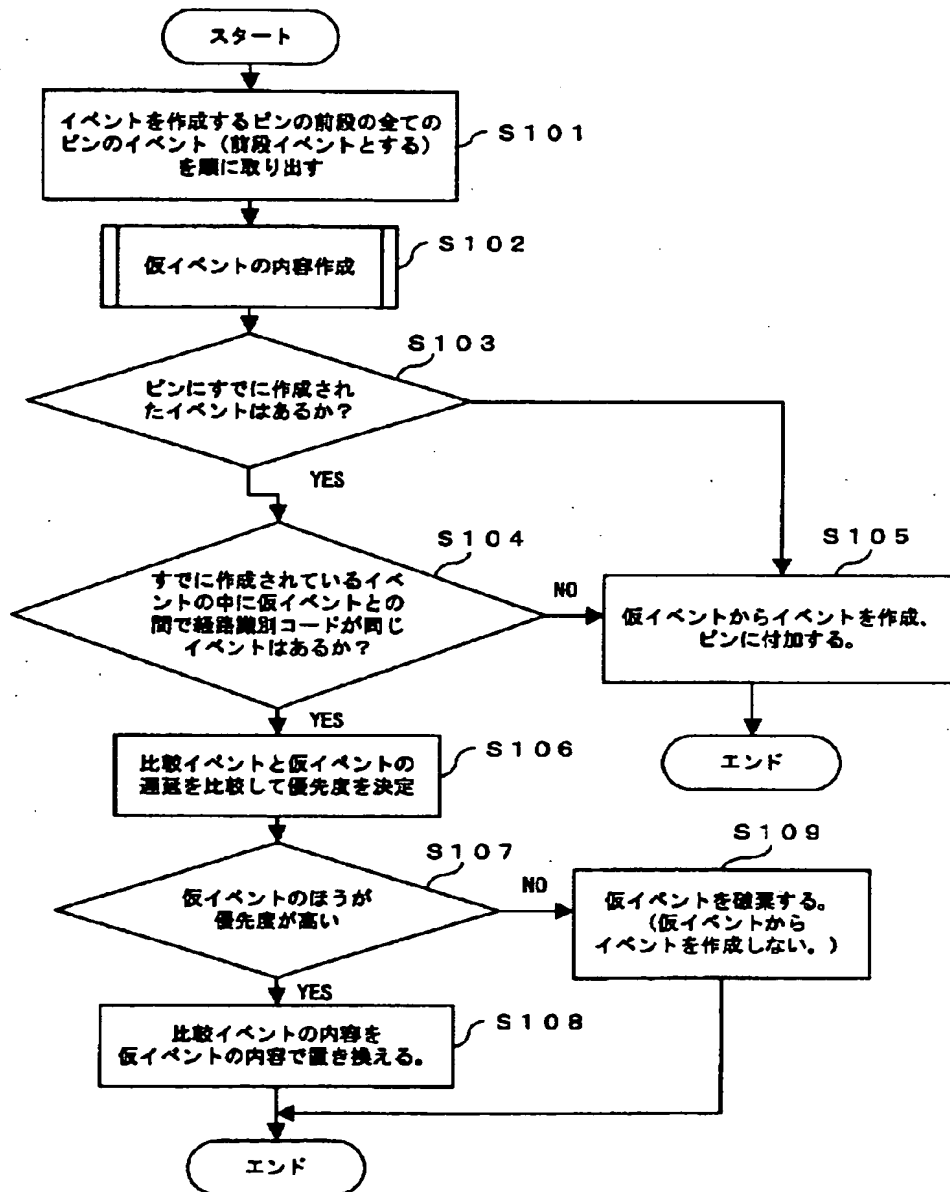
# 処理 4 のフローチャート





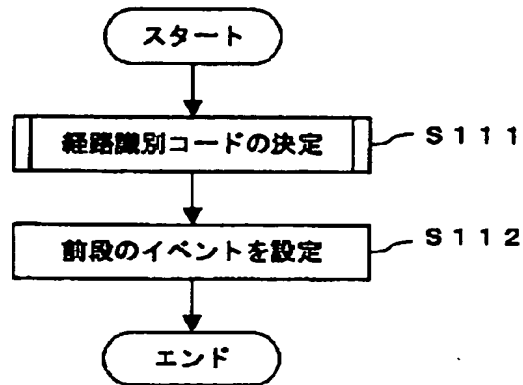
【図 30】

処理 4 におけるピンのイベント作成処理のフローチャート



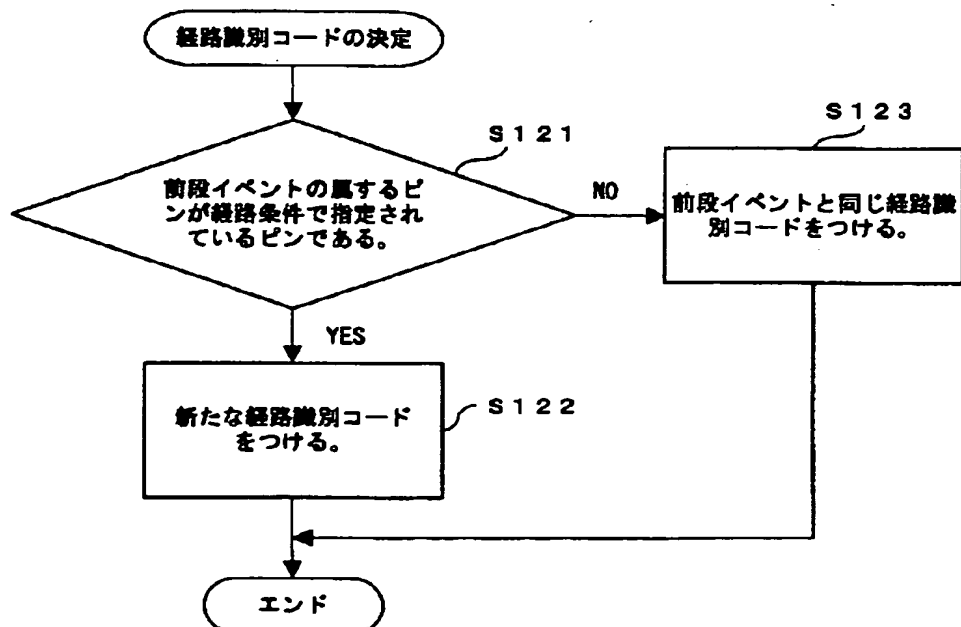
【図 3 1】

S 1 0 2 の仮イベントの内容作成処理のフローチャート



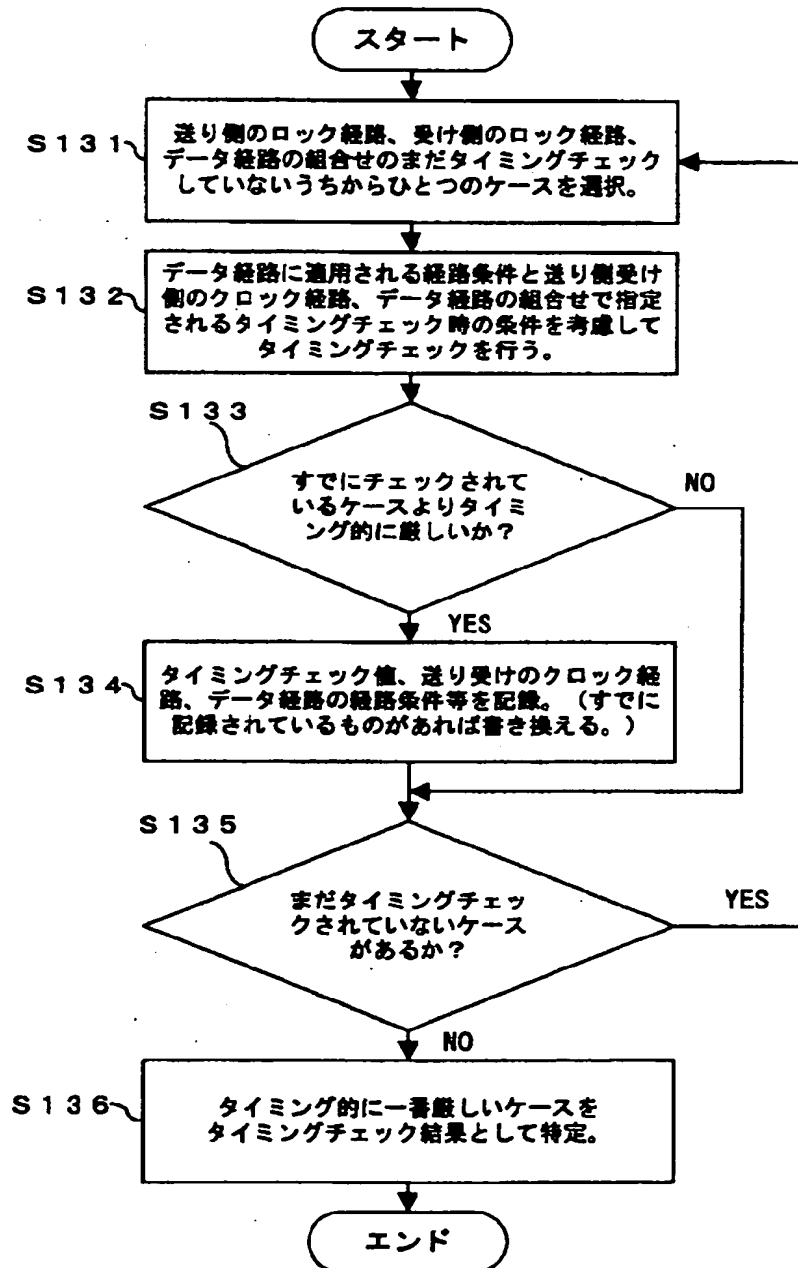
【図 3 2】

経路識別コードの決定処理のフローチャート



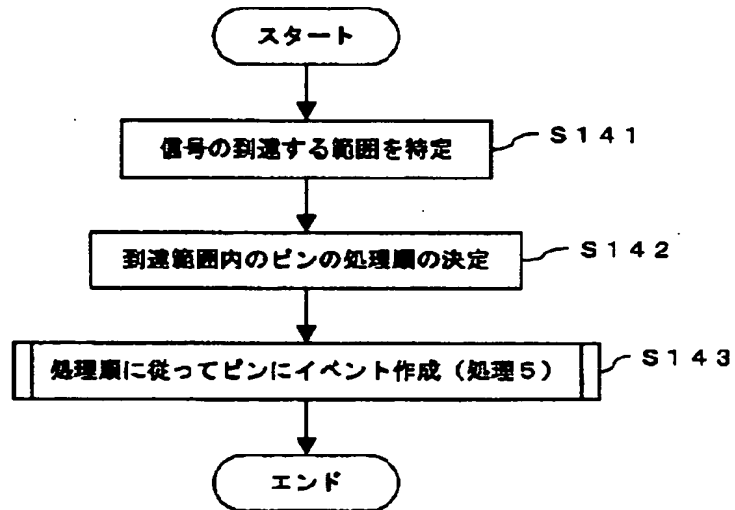
【図 33】

# タイミングチェック処理のフローチャート



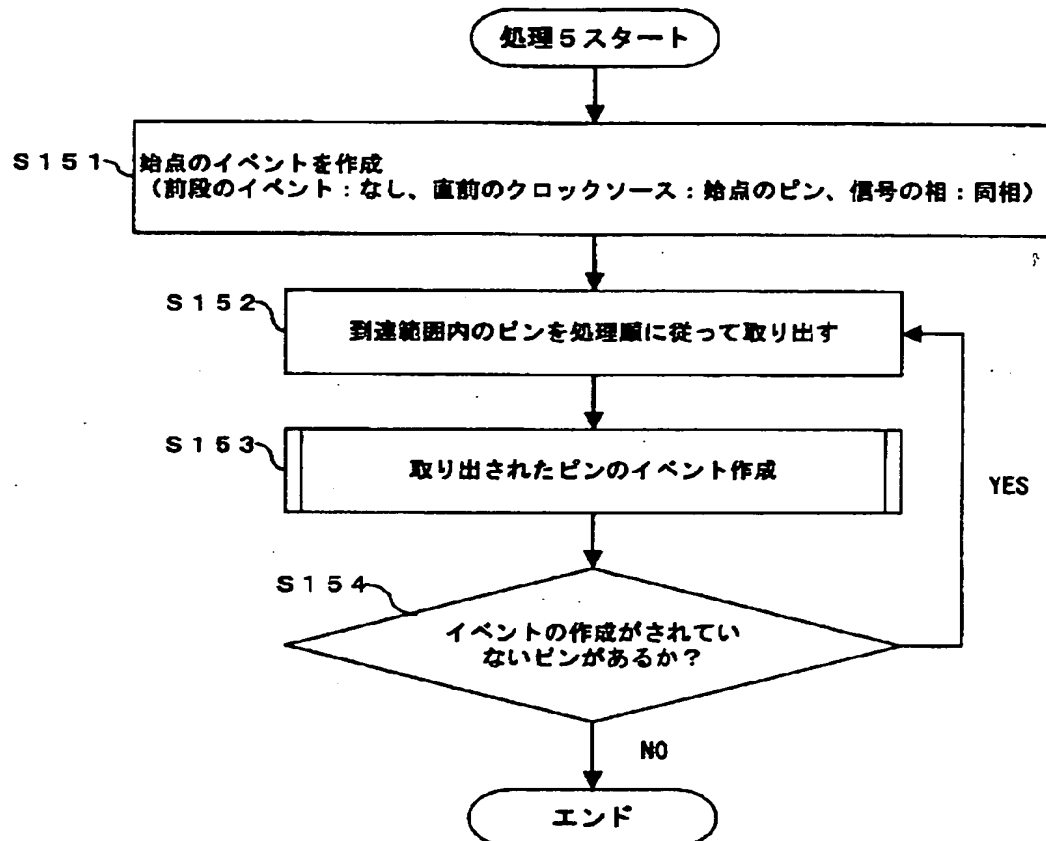
【図34】

パルス幅チェック用トレース処理のフローチャート



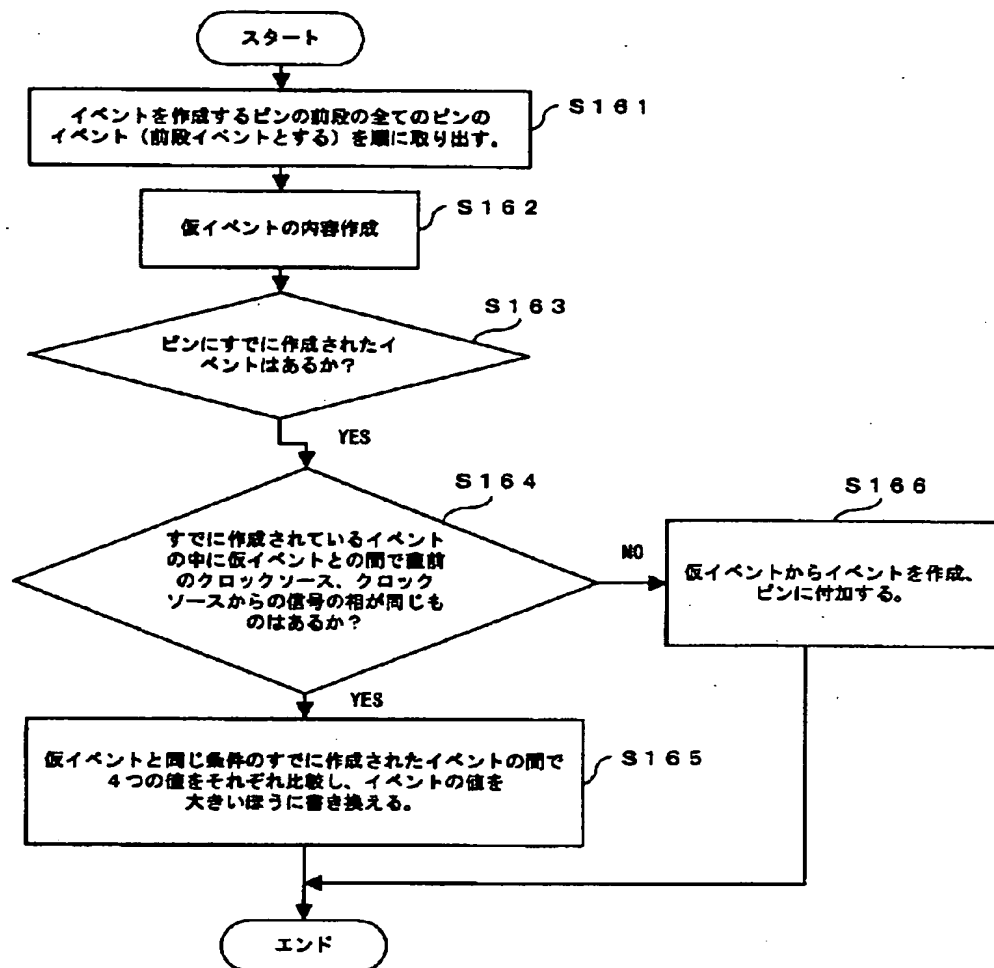
【図 35】

処理 5 のフローチャート



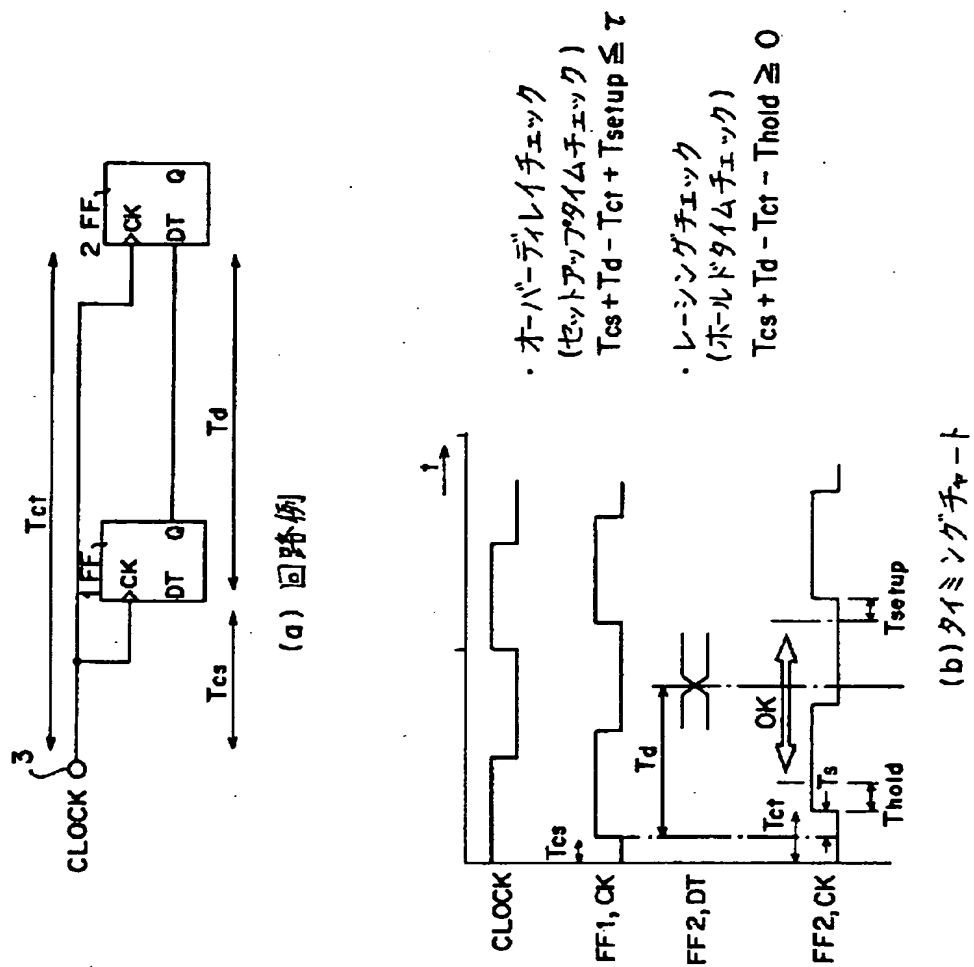
【図 36】

処理5におけるピンのイベント作成処理のフローチャート



【図 37】

タイミング解析を説明するための図



【書類名】 要約書

【要約】

【課題】 設計された電子回路の動作検証用のシミュレーションを常に高精度に行うための技術を提供する。

【解決手段】 経路探索装置 1 2 が備えた各経路探索手段 1 4 ~ 1 6 は、それぞれ、予め設定された条件群を参照して、探索の対象とする経路を区別しつつ、或いは複数の経路のなかから 1 つを選択しつつ（或いはそれらを合成しつつ）、経路の探索を行う。それにより、考慮する必要が考えられる経路を排除することなく、抽出する経路の数を最小限に抑える。シミュレーション手段 1 3 は、それら経路探索手段 1 4 ~ 1 6 による経路探索の結果を用いて、タイミング解析やパルス幅チェックなどのためのシミュレーションを行う。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社